

PATENT COOPERATION TREATY

From the INTERNATIONAL BUREAU

To:

WASHIDA, Kimihito
5th Floor, Shintoshicenter Bldg.
24-1, Tsurumaki 1-chome
Tama-shi, Tokyo 206-0034
JAPON

NOTICE INFORMING THE APPLICANT OF THE COMMUNICATION OF THE INTERNATIONAL APPLICATION TO THE DESIGNATED OFFICES

(PCT Rule 47.1(c), first sentence)

Date of mailing (day/month/year) 09 August 2001 (09.08.01)		IMPORTANT NOTICE	
Applicant's or agent's file reference 2F01010-PCT			
International application No. PCT/JP01/00694	International filing date (day/month/year) 01 February 2001 (01.02.01)	Priority date (day/month/year) 03 February 2000 (03.02.00)	
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al			

1. Notice is hereby given that the International Bureau has communicated, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this Notice:
KR,US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present Notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

2. The following designated Offices have waived the requirement for such a communication at this time:
EP

The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).

3. Enclosed with this Notice is a copy of the international application as published by the International Bureau on
09 August 2001 (09.08.01) under No. WO 01/58071

REMINDER REGARDING CHAPTER II (Article 31(2)(a) and Rule 54.2)

If the applicant wishes to postpone entry into the national phase until 30 months (or later in some Offices) from the priority date, a demand for international preliminary examination must be filed with the competent International Preliminary Examining Authority before the expiration of 19 months from the priority date.

It is the applicant's sole responsibility to monitor the 19-month time limit.

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination.

REMINDER REGARDING ENTRY INTO THE NATIONAL PHASE (Article 22 or 39(1))

If the applicant wishes to proceed with the international application in the national phase, he must, within 20 months or 30 months, or later in some Offices, perform the acts referred to therein before each designated or elected Office.

For further important information on the time limits and acts to be performed for entering the national phase, see the Annex to Form PCT/IB/301 (Notification of Receipt of Record Copy) and Volume II of the PCT Applicant's Guide.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland	Authorized officer J. Zahra
Facsimile No. (41-22) 740.14.35	Telephone No. (41-22) 338.83.38

THIS PAGE BLANK (USPTO)



特許協力条約に基づく国際出願願書

2F01010-PCT

原本(出願用) - 印刷日時 2001年01月31日 (31.01.2001) 水曜日 10時41分00秒

0	受理官庁記入欄	
0-1	国際出願番号.	
0-2	国際出願日	
0-3	(受付印)	
0-4	様式-PCT/RO/101 この特許協力条約に基づく国際出願願書は、 右記によって作成された。	PCT-EASY Version 2.91 (updated 01.01.2001)
0-5	甲立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (RO/JP)
0-7	出願人又は代理人の書類記号	2F01010-PCT
1	発明の名称	メモリ回路および同期検波回路
II	出願人	
II-1	この欄に記載した者は	出願人である (applicant only)
II-2	右の指定国についての出願人である。	米国を除くすべての指定国 (all designated States except US)
II-4ja	名称	松下電器産業株式会社
II-4en	Name	MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.
II-5ja	あて名:	571-8501 日本国 大阪府 門真市 大字門真1006番地
II-5en	Address:	1006, Oaza Kadoma, Kadoma-shi, Osaka 571-8501 Japan
II-6	国籍 (国名)	日本国 JP
II-7	住所 (国名)	日本国 JP
II-8	電話番号	06-6908-1473
II-9	ファクシミリ番号	06-6909-0053
III-1	その他の出願人又は発明者	
III-1-1	この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-1-2	右の指定国についての出願人である。	米国のみ (US only)
III-1-4ja	氏名(姓名)	有村 拓也
III-1-4en	Name (LAST, First)	ARIMURA, Takuya
III-1-5ja	あて名:	236-0016 日本国 神奈川県 横浜市 金沢区谷津町344-303
III-1-5en	Address:	344-303, Yatsumachi, Kanazawa-ku, Yokohama-shi, Kanagawa 236-0016 Japan
III-1-6	国籍 (国名)	日本国 JP
III-1-7	住所 (国名)	日本国 JP

THIS PAGE BLANK (USPTO)

特許協力条約に基づく国際出願願書

原本（出願用） - 印刷日時 2001年01月31日 (31.01.2001) 水曜日 10時41分00秒

2F01010-PCT

IV-1	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のごとく出願人のために行動する。	代理人 (agent)
IV-1-1ja	氏名(姓名)	鷺田 公一
IV-1-1en	Name (LAST, First)	WASHIDA, Kimihito
IV-1-2ja	あて名:	206-0034 日本国 東京都 多摩市 鶴牧1丁目24-1
IV-1-2en	Address:	新都市センタービル5階 5th Floor, Shintoshicenter Bldg. 24-1, Tsurumaki 1-chome, Tama-shi, Tokyo 206-0034 Japan
IV-1-3	電話番号	042-338-4600
IV-1-4	ファクシミリ番号	042-338-4605
V	国の指定	
V-1	広域特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	EP: AT BE CH&LI CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE TR 及びヨーロッパ特許条約と特許協力条約の締約国である他の国
V-2	国内特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	KR US
V-5	指定の確認の宣言 出願人は、上記の指定に加えて、規則4.9(b)の規定に基づき、特許協力条約のもとで認められる他の全ての国の指定を行う。ただし、V-6欄に示した国の指定を除く。出願人は、これらの追加される指定が確認を条件としていること、並びに優先日から15月が経過する前にその確認がなされない指定は、この期間の経過時に、出願人によって取り下げられたものとみなされることを宣言する。	
V-6	指定の確認から除かれる国	なし (NONE)
VI-1	先の国内出願に基づく優先権主張	
VI-1-1	先の出願日	2000年02月03日 (03.02.2000)
VI-1-2	先の出願番号	特願2000-026306
VI-1-3	国名	日本国 JP
VI-2	優先権証明書送付の請求 上記の先の出願のうち、右記の番号のものについては、出願書類の認証謄本を作成し国際事務局へ送付することを、受理官庁に対して請求している。	VI-1
VII-1	特定された国際調査機関 (ISA)	日本国特許庁 (ISA/JP)

THIS PAGE BLANK (USFIC,

特許協力条約に基づく国際出願願書

2F01010-PCT

原本(出願用) - 印刷日時 2001年01月31日 (31.01.2001) 水曜日 10時41分00秒

VIII	照合欄	用紙の枚数	添付された電子データ
VIII-1	願書	3	-
VIII-2	明細書	15	-
VIII-3	請求の範囲	4	-
VIII-4	要約	1	2f01010-pct.txt
VIII-5	図面	6	-
VIII-7	合計	29	
	添付書類	添付	添付された電子データ
VIII-8	手数料計算用紙	✓	-
VIII-9	別個の記名押印された委任状	✓	-
VIII-10	包括委任状の写し	✓	-
VIII-16	PCT-EASYディスク	-	フレキシブルディスク
VIII-17	その他	納付する手数料に相当する特許印紙を貼付した書面	-
VIII-17	その他	国際事務局の口座への振り込みを証明する書面	-
VIII-18	要約書とともに提示する図の番号	1	
VIII-19	国際出願の使用言語名:	日本語 (Japanese)	
IX-1	提出者の記名押印		
IX-1-1	氏名(姓名)		

受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	
10-2	図面:	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類を補完する書類又は図面であってその後期間内に提出されたものの実際の受理の日(訂正日)	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

国際事務局記入欄

II-1	記録原本の受理の日	
------	-----------	--

THIS PAGE BLANK (USPTO)

明 細 書

メモリ回路および同期検波回路

5 技術分野

本発明は、メモリ回路および同期検波回路に関する。

背景技術

10

CDMA (Code Division Multiple Access) 方式の移動体通信において、情報シンボルの振幅や位相は、レイリーフェージングの影響により変動する。

受信側において、情報シンボルの位相を補償して同期検波を行う方法として、“パイロット内挿同期検波方式”が提案されている。

15 パイロット内挿同期検波方式は、情報信号中に周期的（例えば、1.25ms 毎）に挿入された、位相が既知のパイロットシンボル（パイロットビット）を利用して情報シンボルの位相変動を推定し、情報シンボルの位相を内挿補間により補正し、同期検波を行う方法である。

より具体的に説明すると、復調されたパイロットシンボルの位相とパイロットシンボルの理想的な位相（本来の位相）とを比較し、位相誤差を算出するという動作を複数のスロットについて実行し、その位相誤差算出結果から、パイロットシンボルに挟まれた情報シンボルの位相を内挿補間により求め、同期検波を行うものである。

20 なお、パイロット内挿同期検波方式に関しては、例えば、「広帯域CDMA 野外伝送結果（RCS97-3）」に記載されている。

図6は、受信信号の構成例を示している。

図6中の複数のパイロットシンボル（パイロットビット）140, 150,

THIS PAGE BLANK (USPTO)

160, 170は、1スロット毎に挿入された既知のシンボルである。

検波対象スロット2001は、検波対象となる1スロット分の情報シンボルである。この1スロット分の情報シンボルの位相を補償するために、その前後数スロットにわたるパイロットシンボルを用いて位相変動量を推定する。

- 5 例えば、図6に示す構成の信号を連続で受信しているものとする。複数のパイロットシンボル140～170を用いてパイロット内挿同期検波を行う場合を想定する。この場合、同期検波の対象となる情報シンボルは、現受信スロット2003の2スロット前の情報シンボル2001（すなわち検波対象スロット）である。

- 10 よって、複数スロットに渡るパイロット信号（パイロットシンボル）を用いた位相変動の推定が終了するまで、先に受信した情報シンボル（2スロット前までの情報シンボル）を一時的に蓄積しておく必要がある。

すなわち、同期検波回路では、少なくとも3スロット分のシンボルを蓄積することができるメモリが必要となる。

- 15 一方、CDMA通信方式では、大容量の画像データ等の通信を高速に行うために、マルチコード伝送が許容されている。

マルチコード伝送は、データ量の大小に応じて、多重するコードの数を変化させ、コード資源を有効に使うというデータ伝送方式である。

- 20 例えば、音声データや小容量のパケットを伝送する場合には、1つの物理チャネルに1つの拡散コードを割り当ててデータ伝送を行う。

一方、動画像などの大容量のデータを伝送する場合には、動画像のデータを複数の物理チャネルに分割し、各物理チャネルにそれぞれ1つずつ拡散コードを割り当て、分割した物理チャネルを多重してデータ伝送を行う。

- 25 マルチコード伝送は、常時、すべてのコードを使用するというものではなく、状況に応じて、動的に、使用するコードが決定される。しかし、すべてのチャネルが使用された場合を想定して、上述のパイロット内挿同期検波を行うために必要なメモリ領域を確保しておく必要がある。

THIS PAGE BLANK (GSP10)

メモリの構成方法は種々あるが、複数のメモリを設けてそれぞれを個別に管理するよりも、共通のメモリを設けて一元的に管理する方が、占有面積、消費電力、管理の容易さのいずれの点でも、有利なのは当然のことである。

- しかし、マルチコードの数の動的変化に対応可能とするために、多重数が最大となった場合における受信データを全部蓄積できるに足る、電氣的に連続しているメモリ領域を設けると、以下のような問題を生じる。

- すなわち、多重コードの数に関わらず、アクセスするメモリ領域が同じであるため、1コードでデータ伝送をしている場合であっても、あるいは複数コードが多重されている場合であっても、メモリ領域全体がアクセスの対象となる。
- よって、結果的に、メモリ回路の消費電力は、常に同じとなる。

- さらに、複数スロットにまたがる複数のパイロットシンボルを用いるパイロット内挿同期検波において、メモリアクセスが発生するのは、現受信スロットの情報シンボルを書き込む時と、検波対象スロットの情報シンボルを読み出す時である。つまり、それ以外のスロットについては、メモリアクセスを発生させる必要がない。

しかし、従来の同期検波回路におけるシンボル蓄積メモリの構成では、メモリ領域が電氣的に連続しているため、アクセスしなくてもよいメモリ領域にもアクセスが発生し、その分、無駄な電力を消費してしまうという問題がある。

- 本発明は、このような考察に基づいてなされた。その目的は、メモリ回路および同期検波回路の低消費電力化を達成することにある。

発明の開示

- 本発明のメモリ回路では、情報シンボル蓄積用のメモリ領域を、マルチコード数の情報およびスロット情報の少なくとも一つに基づき、電氣的に分離された複数のメモリブロックに分割する。

そして、複数のメモリブロックの各々に対して、周期的に、データのライト

THIS PAGE BLANK (USPTO)

およびデータのリードを行う。

そして、データのライトまたはデータのリードのいずれの対象にもならないブロックは、低消費電力モードとする。

このような構成により、まず、必要なメモリブロックのみがアクセスの対象となるので、ドライバの負荷が減少し、消費電力が削減される。さらに、アクセスが不要なメモリブロックを強制的に低消費電力モードとする（例えば、動作クロックの供給を停止して非動作状態とする）ことにより、消費電力削減の効果は、さらに高まる。

本発明のメモリ回路の一つの態様では、情報シンボル蓄積メモリのメモリ領域を、マルチコード通信のコード番号毎に電氣的に区切り、複数のメモリブロックに分割する。そして、書き込みや読み出しの必要がない情報シンボルを蓄積しているメモリブロックへのクロック供給を停止するなどの対策をとることで、消費電力を削減する。

また、本発明のメモリ回路の一つの態様では、メモリ領域を、受信スロット毎に電氣的に区切り、複数のメモリブロックに分割する。そして、検波対象のスロットに対応したメモリブロックおよび現受信スロットに対応したメモリブロックに対して、個別にライトアクセスあるいはリードアクセスを発生させる。

また、本発明の同期検波回路は、本発明のメモリ回路と、情報シンボルの位相を内挿補間により補正する内挿補間部と、同期検波部とをもつ。メモリの消費電力が少ないので、同期検波回路の消費電力も削減される。

本発明の同期検波回路の一つの態様では、パイロット内挿同期検波部に内蔵されるシンボル蓄積メモリのメモリ領域を、多重されたコード毎に電氣的に区切って複数のメモリブロックに分割する。そして、ダイナミックに可変するコード数に対して、対応するメモリブロックだけを動作させる。使用するコード数が少ない場合には、使用しないメモリブロックに関して、動作クロックの供給を停止するなどして強制的に低消費電力モードとする。これにより、回路の

THIS PAGE BLANK (USPTO)

低消費電力化が達成される。

図面の簡単な説明

- 5 図 1 は、本発明の同期検波回路の実施例の全体構成を示すブロック図であり、
図 2 は、本発明の同期検波回路を使用した受信機の構成を示すブロック図であり、

図 3 A は、本発明のメモリ回路（シンボル蓄積メモリ）の構成の特徴を示す図であり、

- 10 図 3 B は、本発明のメモリ回路（シンボル蓄積メモリ）のライトアクセスおよびリードアクセスの順序を示す図であり、

図 4 A は、本発明のメモリ回路（シンボル蓄積メモリ）の構成例を示すブロック図であり、

- 15 図 4 B は、一つの半導体チップに集積された、本発明のメモリ回路（シンボル蓄積メモリ）の構成例を示す回路図であり、

図 5 は、本発明のメモリ回路の特徴的な動作を示すフロー図であり、

そして、図 6 は、パイロット内挿同期検波を行う際に用いられる、受信信号のフォーマット例を示す図である。

20 発明を実施するための最良の形態

以下、本発明の実施の形態について説明する。

（実施の形態 1）

図 1 は、本発明の実施の形態 1 にかかる同期検波回路のブロック図であり、

- 25 図 2 は、本発明の同期検波回路を用いた CDMA 受信機（レイク受信機）の構成を示すブロック図である。

まず、CDMA 受信機の全体構成について説明する。

THIS PAGE BLANK (USPTO)

図2に示すように、CDMA受信機は、受信アンテナ7と、高周波信号処理部8と、アナログ信号をデジタル信号に変換するA/D変換部9と、受信信号を所定のタイミングで逆拡散しデータを復調する逆拡散部10と、逆拡散後データの同期検波を行う同期検波部11と、逆拡散され、同期検波された複数のパスの各々に対応する信号をレイク合成するレイク合成部12と、チャンネルデコードを行うチャンネルコーデック部13と、マルチコード数情報抽出部14と、逆拡散符号生成部15と、をもつ。

逆拡散部10は、複数の受信フィンガ16a~16nおよびサーチャ17を具備する。

10 マルチコード数情報抽出部14は、受信信号に挿入されている、使用されているコードの数を示す情報を抽出し、同期検波部11に与える。

また、逆拡散符号生成部15は、例えば、3つの逆拡散用のコードC0~C2を生成し、逆拡散符号生成部15に供給する。

15 受信信号は、高周波信号処理部8においてベースバンド信号に復調され、A/D変換されてデジタルデータに変換された後、逆拡散部10に入力される。

逆拡散部10では、複数の逆拡散器により逆拡散処理がなされ、データが復調される。逆拡散器は、マルチパスの数や多重コードの数などを考慮して決定される。

20 同期検波部11およびレイク合成部12では、これら複数のデータについて、コード毎にマルチパスの位相を補償し、レイク合成を行う。

次に、同期検波部11の構成と動作について、図1、図3A、図3B、図4A、図4B、図5、図6を参照して、説明する。

図1に示される内挿同期検波部11は、図2の受信フィンガ16a~16nから出力される逆拡散後のデータを、一時的に蓄積し、位相補償を行い、同期検波を行う。

図1に示されるように、内挿同期検波部11は、互いに物理的（電氣的）に分離されている複数のメモリブロック2a~2iと、メモリインタフェース部

THIS PAGE BLANK (USPTO)

17 (メモリインタフェース回路1a~1cをもつ)と、メモリ動作制御部3と、セクタ4と、位相推定部5と、内挿補間部6と、同期検波回路16と、をもつ。

5 なお、図中、BUS1~BUS3はライトバスであり、BUS4~BUS6はリードバスである。

メモリブロック2a~2iの各々は、情報シンボルの1スロット分のデータを一時的に蓄積する。メモリブロック2a~2iの各々は、”一つのコード”および”一つのスロット”に対応する。つまり、情報シンボルを蓄積するためのメモリ領域が、コード情報およびスロット情報に基づき、複数のブロックに
10 分割されている。

図1では、”コード単位の分割”は、メモリ領域を、3つの横方向の列に分割することを意味する。また、”シンボル単位の分割”は、メモリ領域を、3つの縦方向の列に分割することを意味する。これにより、メモリ領域は、9つの、電氣的に独立したメモリブロック2a~2iに分割される。

15 ここで、電氣的に独立しているとは、具体的には、ワード線とビット線が分離されていることを意味する。

メモリ領域を複数のブロックに分割することにより、必要なブロックのみにアクセスすることが可能となる。

すなわち、ワード線とビット線が分割されることにより、メモリアクセスに
20 必要なドライバ(ワード線ドライバおよびビット線ドライバ)の負荷が減少し、充放電の電流量が減少するため、低消費電力化を図ることができる。

さらに、使用しないメモリブロックについては、強制的に動作クロックの供給を停止する等の工夫をすることにより、そのブロックの主要な回路を低消費電力モードとする。これにより、回路の動作電流も削減することができ、さら
25 に、低消費電力化を行える。

メモリインタフェース部17は、一種のアドレスデコーダであり、どのメモリブロックの何番地にアクセスするかを決定する。

THIS PAGE BLANK (USPTO)

メモリ動作制御部 3 は、活性化するメモリブロックと低消費電力モードとするメモリブロックを適宜、選択し、制御信号を出力して、メモリブロックの動作モードを制御する。

メモリ動作制御部 3 には、図 2 のマルチコード数情報抽出部 14 から出力される多重コード数の情報 (MCN) が入力される。

メモリ動作制御部 3 は、実際に使用されているコード (多重コード) に対応するメモリブロック列 (横の列) のみを選択し、それ以外のメモリブロック列は非選択とする。

選択されたメモリブロック列は、所定のシーケンスで、周期的にアクセスされる。その具体的な動作の手順については後述する。

また、位相推定部 5 は、各受信信号から、1 スロット毎に挿入されているパイロット信号を抜き出し、位相平面上におけるパイロット信号の位相を推定する (回線推定)。

内挿補間部 6 は、2 つのパイロット信号に挟まれた情報シンボルの位相を内挿補間により求める。

そして、同期検波回路 16 は、内挿補間により補正された位相に対応したタイミングで、メモリブロックから読み出された情報シンボルについて同期検波を行う。

同期検波された信号は、レイク合成部 12 に与えられる。

以下、図 1 の同期検波回路の全体の動作を、より具体的に説明する。

図 2 の逆拡散部 10 から出力される、逆拡散後の情報シンボル $f_0 \sim f_{n-1}$ 、 $f_n \sim f_{2n-1}$ 、 $f_{2n} \sim f_{3n-1}$ はそれぞれ、コード 1、コード 2、コード 3 に対応する情報である。

各コードに対応するデータは、パス (0) ～パス (n-1) までの n 個の信号を含む。各パスの信号は、情報の内容は同じであるが、遅延量が異なる。遅延差は、数チップ程度である。

逆拡散後の各情報シンボル $f_0 \sim f_{n-1}$ 、 $f_n \sim f_{2n-1}$ 、 $f_{2n} \sim f_{3n-1}$

THIS PAGE BLANK (USPTO)

n-1のそれぞれには、独自のアドレスナンバーおよびスロットナンバーが付与される。

このとき、情報シンボル $f_0 \sim f_{n-1}$ 、 $f_n \sim f_{2n-1}$ 、 $f_{2n} \sim f_{3n-1}$ のアドレスの個数は、受信したチャネルの1スロット内にマッピングされた
5 シンボル数に等しい。

$f_0 \sim f_{n-1}$ 、 $f_n \sim f_{2n-1}$ 、 $f_{2n} \sim f_{3n-1}$ の各情報についての各アドレスには、重複を避けるためにオフセットが与えられている。つまり、各データは、同一のメモリ空間に書きこまれないように工夫されている。

図1のメモリアンターフェース1a~1cの各々には、同一コードの逆拡散
10 後の情報シンボル $f_0 \sim f_{n-1}$ 、 $f_n \sim f_{2n-1}$ 、 $f_{2n} \sim f_{3n-1}$ が、それぞれ入力される。すなわちレイク合成を行うバス毎の逆拡散後の情報シンボルがそれぞれ入力される。

各メモリアンターフェース1a~1cは、パラレルに入力されたnバス分
(nは2以上の自然数)の情報シンボルおよびアドレスを、シリアルにライト
15 バス(BUS1~BUS3)へ送出する。この結果、情報シンボルのデータは、対応するメモリブロック2a~2iに一時的に蓄積される。

一方、2スロットに相当する期間、蓄積されていた情報シンボルのデータが、セクタ4によって選択され、同期検波回路16に送られる。

同期検波回路では、内挿補間部6で補償された位相に対応するタイミングで、
20 同期検波が行われる。同期検波された信号は、レイク合成部12へ送られてレイク合成される。

次に、図3A、図3Bおよび図4、図4Bを参照して、図1に示されるシンボル蓄積メモリ(メモリブロック2a~2i)の構成および動作を具体的に説明する。

25 図3Aに示すように、情報シンボルを蓄積するためのメモリ領域は、コード多重数が”3”の場合に対応できるように、各コードに対応して、3つのメモリブロック列(L1~L3)に分割されている。

THIS PAGE BLANK (USPTO)

また、検波対象となるスロットの前後2スロットにわたるパイロットシンボル（計4つのパイロットシンボル）から位相を推定している間、3スロット分の情報シンボルを一時的に蓄積することができるように、各スロットに対応して、3つのメモリブロック列R1～R3に分割されている。なお、メモリセル
5 は、リフレッシュ不要なSRAMで構成する。

このようなメモリ領域の分割の結果、電氣的に独立な9つのメモリブロック2a～2iが形成される。

すなわち、メモリ領域は、多重コード数とスロットバンパーを変数として分割される。なお、一つのメモリブロックについて、リードとライトを同時に行うことはできない。しかし、一つのメモリブロックにデータをライトしている
10 ときに、同時に、他のメモリブロックからデータをリードすることは可能である。

次に、図3Bを用いて、各メモリブロックへのアクセスの手順を説明する。

以下の説明では、説明の便宜上、多重コード数が”1”であると仮定する。

コード数が”1”の場合には、逆拡散された最初のスロットの情報シンボル
15 についての、遅延量が異なる複数のデータ（ $f_0 \sim f_{n-1}$ ）に、スロットナンバー”1”が付与され、それぞれのデータは、メモリブロック2aにライトされる。この状態が状態1である。

なお、図3Bにおいて、ライトアクセスを”W”で示し、リードアクセスを”
20 R”と記載している。

次に、同様に第2スロットの情報シンボルについての、遅延量が異なる複数のデータ（ $f_0 \sim f_{n-1}$ ）にスロットナンバー”2”が付与され、そのデータは、メモリブロック2bにライトされる。この状態が状態2である。

さらに第3スロットの情報シンボルに関する情報については、スロットナン
25 バー”3”が付与され、そのデータは、メモリブロック2cにライトされる。

このとき、同時に、メモリブロック2aから、2スロット前に蓄積された情報シンボルについてのデータがリードされる。この状態が状態3である。

THIS PAGE BLANK (USPTO)

状態3において、読み出された情報シンボルのデータは、図1の同期検波回路16に送られる。

- 第4番目のスロットのデータには、再びスロットナンバー”1”が付与され、そのデータは、読み出しが終了したメモリブロック2aに上書きされる。このとき、同時に2スロット前に蓄積された情報シンボルのデータが、メモリブロック2bからリードされ、図1の同期検波回路16に送られる。この状態が状態4である。

- 同様にして、状態5を経て、状態6に移行する。状態6は状態3と同じであるので、状態6以降は状態4に移行し、それ以降、状態4，状態5および状態6が繰り返し現れる。

このように、各スロット毎に、メモリブロック2a，2b，2cの順にデータがライトされる。そして、メモリブロック2cへの書きこみが終了した後は、メモリブロック2aに戻って再び順番に書きこみが行われるという動作が繰り返される。

- 一方、現在データのライトが行われているメモリブロックを基準として、2スロットだけ前に書きこみが終了したメモリブロックから情報シンボルのデータのリードが行われる。

- 図3Bから明らかなように、状態1～6のそれぞれにおいて、一つのコードに対応するメモリブロック列において、最大でも、3つのメモリブロックのうち2つしか動作しないため、必ず、動作不要なメモリブロックが存在する。

すなわち、メモリブロックへのアクセスが発生するのは、”検波対象のスロット”の情報を読み出す場合と、”現在受信しているスロット”の情報をライトする場合だけである。

- したがって、動作不要なメモリブロックを低消費電力モードとすれば、電力消費を削減できる。メモリブロックの低消費電力モードは、例えば、ワード線やビット線を駆動するためのクロック供給を止めることにより実現される。

本発明の構成によれば、以下の①～④の動作を実現できる。。

THIS PAGE BLANK (USPTO)

①同一のメモリブロックに対して、ライトアクセスとリードアクセスが同時に発生しないように制御することができる。

②メモリブロックに対するライトアクセスとリードアクセスを、周期的に行うことができる。

- 5 ③アクセスが発生しないメモリブロックについては、回路動作を停止させたり、一部の回路の動作を停止させるなどして、低消費電力モード（非動作モード）とすることができる。

つまり、SRAMを構成するメモリセルに対してアクセスを発生させないようにすることが可能である。このようにすれば、少なくとも、消費電力を従来の3分の2に低減させることができる。

④また、上述の例では、コード1に対応したメモリブロック列（図3AのL1）のみが動作し、コード2、コード3に対応したメモリブロック列L2、L3は、まったく動作しない。よって、メモリブロック列L2、L3に属するメモリブロック2d～2iの動作を完全に停止させることができる。

- 15 この場合、図3Aからも明らかなように、動作しているのは9つの物理的（電氣的）に区切られたメモリブロックのうちの2つだけであり、その他のメモリブロックは動作しない。

従って、コード数が1の場合、単純に動作比率だけで消費電力を比較すると、本発明によれば、従来構成に比べて9分の2に消費電力を低減できる。

- 20 このように、本発明によれば、情報シンボルを蓄積するためのメモリ回路の消費電力を効果的に削減することができる。

次に、多重コード数が”2”となった場合の動作を説明する。

- この場合、コード1およびコード2の各々に対応して、メモリブロック列L1、L2が動作し、メモリブロック列L3は動作しない。よって、メモリブロック列L3の動作を停止させることができる。

したがって9つの物理的（電氣的）に区切られたメモリブロックのうち同時に動作しているのは4つとなり、単純に動作比率だけで消費電力を比較すると、

THIS PAGE BLANK (USPTO)

本発明は従来構成に比べて9分の4に消費電力を低減できる。

同様に多重コード数が”3”の場合、すべてのメモリブロック列L1～L3において書き込みまたは読み出しの動作が発生する。よって、9つの物理的（電
5 氣的）に区切られた蓄積メモリのうち動作しているのは6つとなり、単純に動作比率だけで消費電力を比較すると、本発明は従来構成に比べて9分の6に消費電力を低減できる。

図4A、図4Bに、メモリブロック（例えば、2a～2c）の具体的な構成例を示す。

複数のメモリブロックの動作／非動作を切り換える制御は、図4Aに示すよう
10 うに、各メモリブロックのアドレスデコーダ18a、18b、18cにおいて、ビット線やワード線を駆動するために必要なクロックの供給を、ゲート回路等を用いて停止させることにより実現できる。

図4Bには、より具体的な回路構成が示される。

図4Bでは、メモリブロック2a～2cは、一つのチップに集積されている。
15 各メモリブロックのワード線（w1～wn, w1'～wn', w1''～wn''）はそれぞれ、電氣的に分離されている。同様に、ビット線も独立に駆動される。

それぞれのメモリブロックにおけるワード線およびビット線の駆動は、駆動回路30a、30b、30cにより制御される。

以下、メモリブロック2aについて、構成と動作を説明する。

20 図4Bにおいて、a1～a2nはワード線（W1～Wn）のドライバであり、b1～bmは、ビット線（BT1～BTm）のドライバである。

そして、各メモリ毎に、ドライバ（a1～a2n, b1～bm）は、駆動回路（30a～30c）によって制御される。したがって、各駆動回路におけるクロックの供給をコントロールすることにより、各メモリのアクティブ／ノン
25 アクティブを個別に制御することが可能である。

以上、本実施の形態によれば、情報シンボル蓄積用のメモリ領域を、多重コード数およびスロットナンバーに基づき、物理的（電氣的）に区切ることによ

THIS PAGE BLANK (USPTO)

り、従来の同期検波回路のメモリ回路に比べて消費電力を、9分の2～9分の6とすることができる。

以上の説明では、多重コード数を”3”としたが、これに限定されるものではない。多重コード数が増えれば増えるほど、本発明による消費電力削減の効

5 果は高まる。

また、以上の説明では、蓄積する情報シンボルのスロット数を3スロットとしたが、これに限定されるものではない。

図2に示されるCDMA受信機では、同期検波部11が低消費電力化されているため、LSI化に適する。また、携帯電話の電池の長寿命化も達成される。

10 以上説明した、本発明のメモリ回路における特徴的な動作をまとめると、図5のようになる。

予め、情報シンボル蓄積用のメモリを、マルチコード数の情報およびスロット情報の少なくとも一つに基づき、電気的に分離されている（電気的に独立している）複数のブロックに分割しておく（ステップ50）。

15 そして、複数のブロックの各々に対して、ライトアクセスとリードアクセスが同時に行われることがないようにアクセスタイミングを制御しつつ、周期的に、データのライトおよびデータのリードを行う。データのライトまたはデータのリードのいずれの対象にもならないブロックは、強制的に低消費電力モードとする（ステップ51）。

20 このように、本発明では、メモリ領域を複数のブロックに分割し、各ブロックの動作を個別に制御することにより、メモリアクセスに伴う消費電力を、極限まで削減することができる。よって、動画像などの大容量のデータ通信を行っても、携帯電話の電池の寿命を長く保つことができる。

この出願は、2000年2月3日にファイルされた、日本国の特許出願20
25 00-026306号に基づいており、その全ての内容は、ここに明確に記載されている。

THIS PAGE BLANK (USPTO)

産業上の利用可能性

本発明は、CDMA受信機に搭載されるメモリ回路や同期検波回路に用いることができる。

THIS PAGE BLANK (USPTO)

請求の範囲

1. マルチコード通信が可能なCDMA方式の信号を受信し、パイロット内挿同期検波を行うために、情報シンボルを一時的に蓄積するためのメモリ回路
5 は、

電氣的に独立した複数のメモリブロックであって、各々のメモリブロックが、前記マルチコード通信における各コードに対応している複数のメモリブロックと、

一つのメモリブロックに対して、ライトアクセスとリードアクセスが同時に
10 行われることがないようにアクセスタイミングを制御しつつ、前記複数のブロックの各々に対して、周期的に、データのライトおよびデータのリードを行うメモリインタフェース部と、
を有する。

2. マルチコード通信が可能なCDMA方式の信号を受信し、パイロット内挿
15 同期検波を行うために、所定数の情報シンボルを一時的に蓄積するためのメモリ回路は、

電氣的に独立した複数のメモリブロックであって、各々のメモリブロックが、前記マルチコード通信における1つのコードおよび受信信号の1つのスロットに対応している複数のメモリブロックと、

20 一つのメモリブロックに対して、ライトアクセスとリードアクセスが同時に
行われることがないようにアクセスタイミングを制御しつつ、前記複数のブロックの各々に対して、周期的に、データのライトおよびデータのリードを行うメモリインタフェース部と、
を有する。

25 3. 請求項2において、

前記メモリインタフェース部は、

同期検波対象のスロットに対応するメモリブロックと、現在受信しているス

THIS PAGE BLANK (USPTO)

ロットに対応するメモリブロックと、に対して選択的にアクセスする。

4. マルチコード通信が可能なCDMA方式の信号を受信し、パイロット内挿同期検波を行うために、所定数の情報シンボルを一時的に蓄積するためのメモリ回路は、

- 5 電氣的に独立した複数のメモリブロックであって、各々のメモリブロックが、前記マルチコード通信における1つのコードおよび受信信号の1つのスロットに対応している複数のメモリブロックと、

- 一つのメモリブロックに対して、ライトアクセスとリードアクセスが同時に行われることがないようにアクセスタイミングを制御しつつ、前記複数のブロックの各々に対して、周期的に、データのライトおよびデータのリードを行うメモリインタフェース部と、

アクセスが発生しないメモリブロックを低消費電力モードとする、メモリ動作制御部と、

を有する。

- 15 5. 請求項4において、

前記メモリブロックの低消費電力モードは、動作クロックの供給を停止することにより実現される。

6. 情報シンボルに一定周期で挿入された既知のパイロットシンボルを利用して位相変動を推定し、情報シンボルの位相を補償して同期検波を行うパイロット内挿同期検波回路は、

- 20 電氣的に独立した複数のメモリブロックであって、各々のメモリブロックが、前記マルチコード通信における1つのコードおよび受信信号の1つのスロットに対応している複数のメモリブロックをもつ情報シンボル蓄積用メモリ回路と、

- 25 検波対象となるスロットの近傍に位置する複数のパイロットシンボルを用いてパイロットシンボルの位相推定を行う位相推定部と、

前記位相推定部による推定結果に基づき、情報シンボルの位相を内挿補間に

THIS PAGE BLANK (USPTO)

より求める内挿補間部と、

前記内挿補間部により補正された前記情報シンボルの位相に合致したタイミングで同期検波を行う同期検波部と、

マルチコードの情報およびスロットの情報に基づき、前記情報シンボル蓄積メモリの前記複数のメモリブロックの各々の動作モードを制御し、アクセスが発生しないメモリブロックを低消費電力モードとするメモリ動作制御部と、
を有する。

7. 請求項 6 において、

前記メモリブロックの低消費電力モードは、動作クロックの供給を停止することにより実現される。

8. 請求項 6 において、

さらに、前記シンボル蓄積メモリへのデータの書き込みを制御するメモリインタフェース部を有し、

前記メモリインタフェース部は、複数のレイクフィンガーから出力される、各コードに対応した複数の遅延波の、逆拡散後のデータを受け、前記シンボル蓄積メモリに、時分割でデータをライトする。

9. CDMA受信機は、

受信アンテナと、

所定の周波数でフィルタリングしベースバンド信号に復調する高周波信号処理部と、

アナログ信号をデジタル信号に変換する A/D 変換部と、

受信信号を所定のタイミングで逆拡散しデータを復調する逆拡散部と、

逆拡散後データの同期検波を行う請求項 6 記載のパイロット内挿同期検波回路と、

逆拡散され、同期検波されたマルチパスをレイク合成するレイク合成部と、
チャネルデコードを行うチャネルコーデック部と、
を有する。

THIS PAGE BLANK (USPTO)

10. 情報シンボル蓄積用メモリのアクセス制御方法は、

メモリ領域が、マルチコード数の情報およびスロット情報の少なくとも一つに基づき、電氣的に独立している複数のブロックに分割されている情報シンボル蓄積用のメモリを用意するステップと、

- 5 一つのブロックに対して、ライトアクセスとリードアクセスが同時に行われることがないようにアクセスタイミングを制御しつつ、前記複数のブロックの各々に対して、周期的に、データのライトおよびデータのリードを行うステップと、

を含む。

- 10 11. 情報シンボル蓄積用メモリのアクセス制御方法は、

メモリ領域が、マルチコード数の情報およびスロット情報の少なくとも一つに基づき、電氣的に独立している複数のブロックに分割されている情報シンボル蓄積用のメモリを用意するステップと、

- 15 一つのブロックに対して、ライトアクセスとリードアクセスが同時に行われることがないようにアクセスタイミングを制御しつつ、前記複数のブロックの各々に対して、周期的に、データのライトおよびデータのリードを行うステップと、

データのライトまたはデータのリードのいずれの対象にもならない前記ブロックを、低消費電力モードとするステップと、

- 20 を含む。

12. 請求項11において、

前記ブロックの低消費電力モードは、動作クロックの供給を停止することにより実現される。

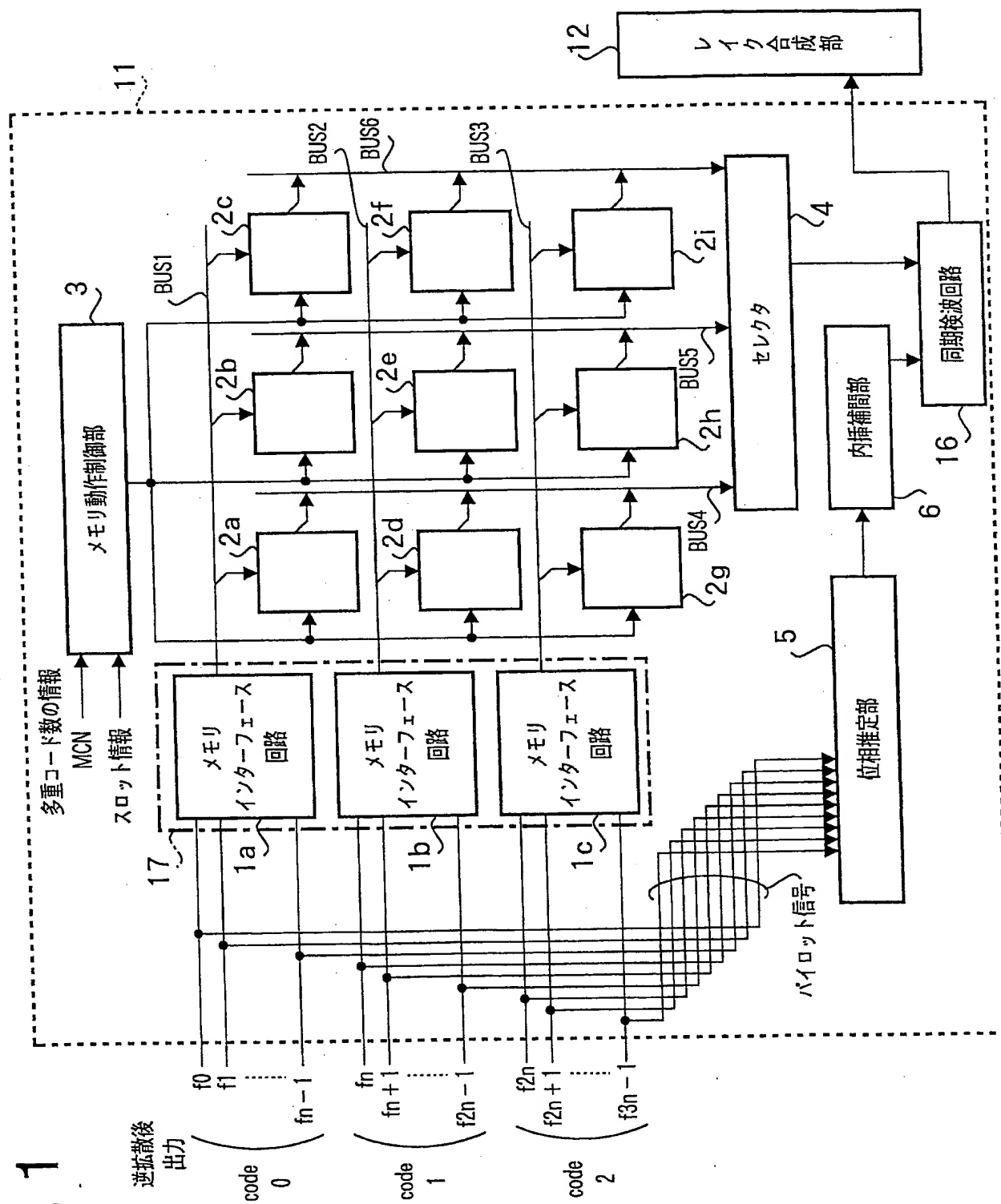
THIS PAGE BLANK (USPTO)

要 約 書

本発明のメモリ回路は、パイロット内挿同期検波を行うために、マルチコード通信が可能なCDMA方式の受信信号に含まれる情報シンボルを、一時的に蓄積する。本発明のメモリ回路は、電氣的に独立な複数のメモリブロックで構成される。各メモリブロックは、一つのコード、および情報シンボルの一つのスロットに対応する。一つのメモリブロックにリードとライトのアクセスが同時に発生しないという条件の下、各メモリブロックについて、周期的に、ライトアクセスあるいはリードアクセスを発生させる。アクセスが発生しないメモリブロックは強制的に低消費電力モードとし、アクセスに伴う消費電力を削減する。

THIS PAGE BLANK (USPTO)

FIG. 1



THIS PAGE BLANK (USPTO)

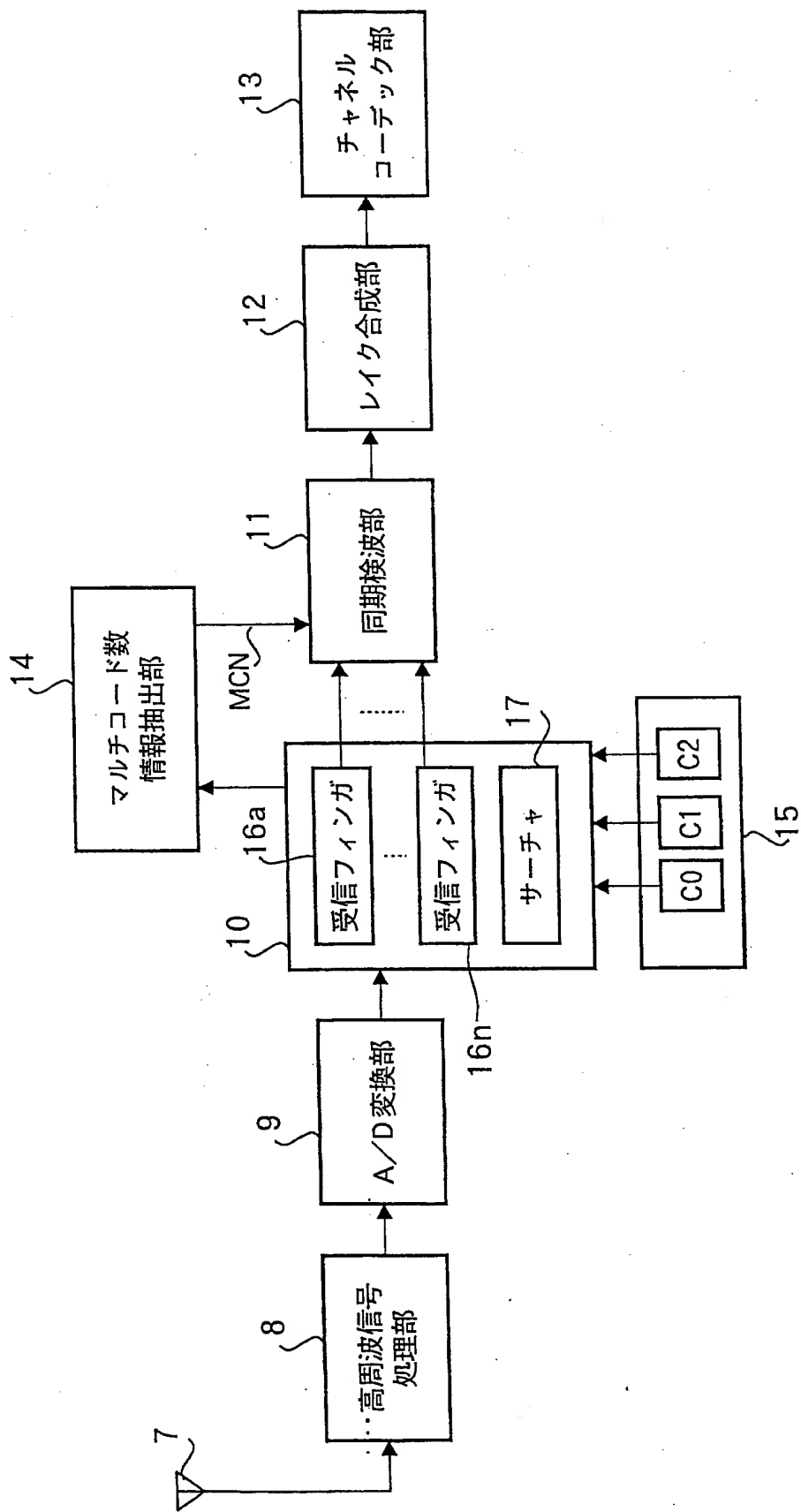
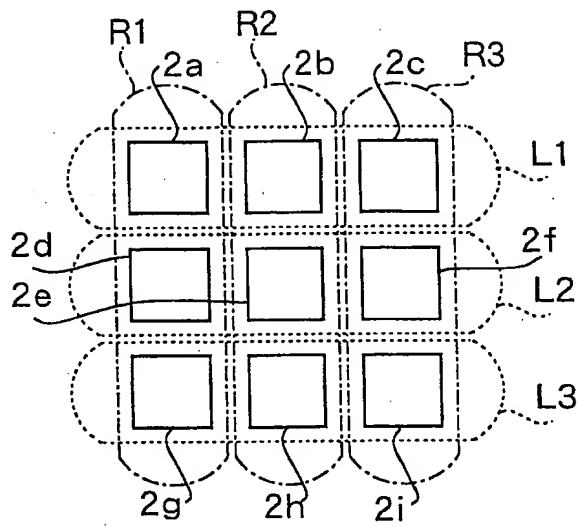


FIG. 2

THIS PAGE BLANK (USPTO)



R1~R3 : スロット分割された
メモリブロック列

L1~L3 : コード分割された
メモリブロック列

FIG. 3A

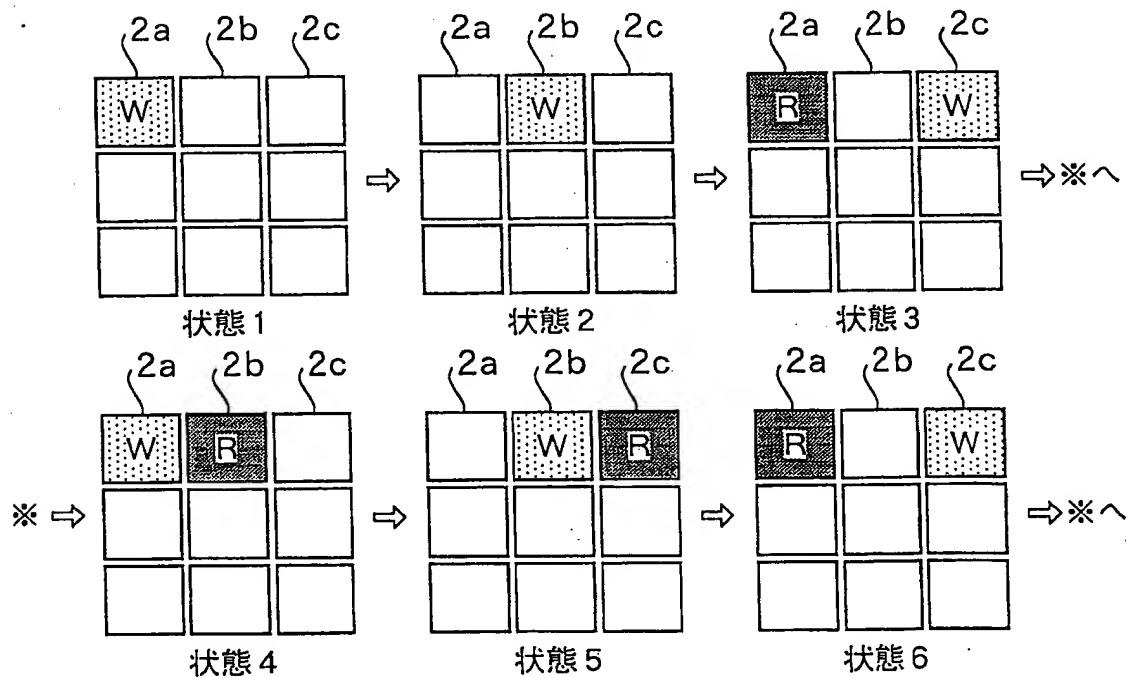


FIG. 3B

THIS PAGE BLANK (USPTO)

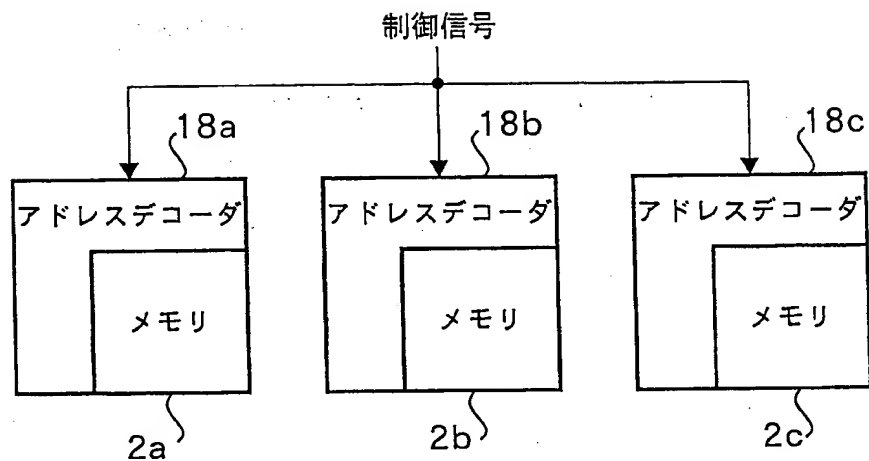


FIG. 4A

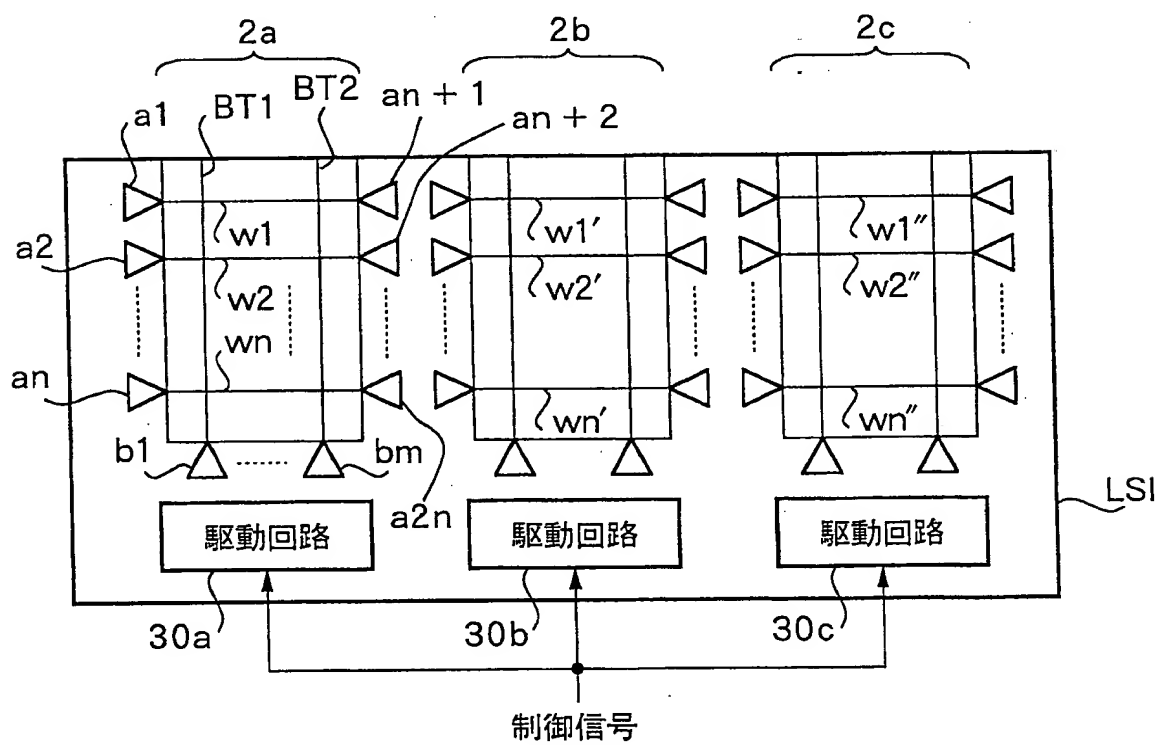


FIG. 4B

THIS PAGE BLANK (USPTO)

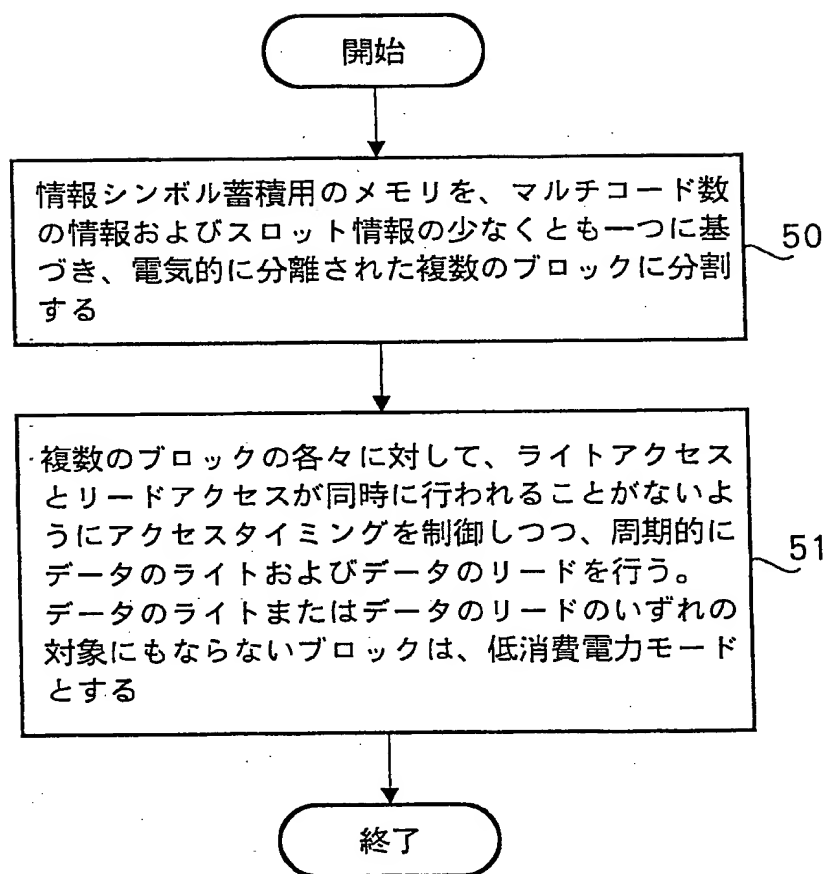


FIG. 5

THIS PAGE BLANK (USPTO)

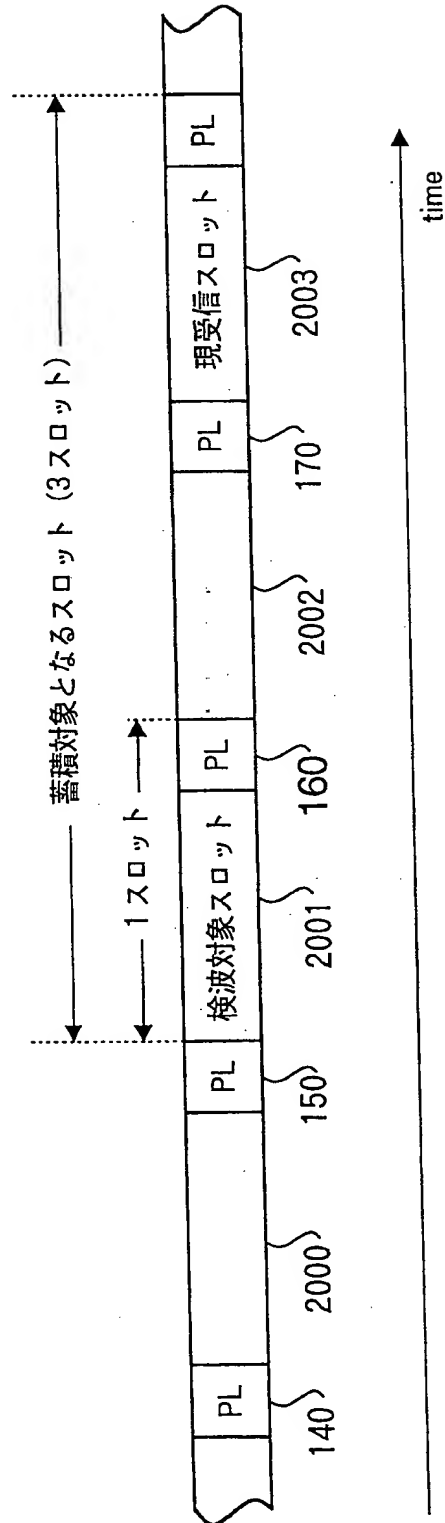


FIG. 6

THIS PAGE BLANK (USPTO)

E P . . U S

P C T

国際調査報告

(法 8 条、法施行規則第40、41条)
[P C T 1 8 条、P C T 規則43、44]

出願人又は代理人 の書類記号 2F01010-PCT	今後の手続きについては、国際調査報告の送付通知様式(P C T / I S A / 2 2 0) 及び下記 5 を参照すること。	
国際出願番号 P C T / J P 0 1 / 0 0 6 9 4	国際出願日 (日.月.年) 0 1 . 0 2 . 0 1	優先日 (日.月.年) 0 3 . 0 2 . 0 0
出願人 (氏名又は名称) 松下電器産業株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条 (P C T 1 8 条) の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照)。

3. ☐ 発明の単一性が欠如している (第 II 欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第 III 欄に示されているように、法施行規則第47条 (P C T 規則38.2(b)) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

THIS PAGE BLANK (USPTO)

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001 年 8 月 9 日 (09.08.2001)

PCT

(10) 国際公開番号
WO 01/58071 A1

(51) 国際特許分類⁷: H04J 13/04, H04B 1/707, G11C 11/41

(ARIMURA, Takuya) [JP/JP]; 〒236-0016 神奈川県横浜市金沢区谷津町344-303 Kanagawa (JP).

(21) 国際出願番号: PCT/JP01/00694

(22) 国際出願日: 2001 年 2 月 1 日 (01.02.2001)

(74) 代理人: 鷺田 公一 (WASHIDA, Kimihito); 〒206-0034 東京都多摩市鶴牧1丁目24-1 新都市センタービル5階 Tokyo (JP).

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(81) 指定国 (国内): KR, US.

(30) 優先権データ:
特願2000-26306 2000 年 2 月 3 日 (03.02.2000) JP

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).

添付公開書類:
— 国際調査報告書

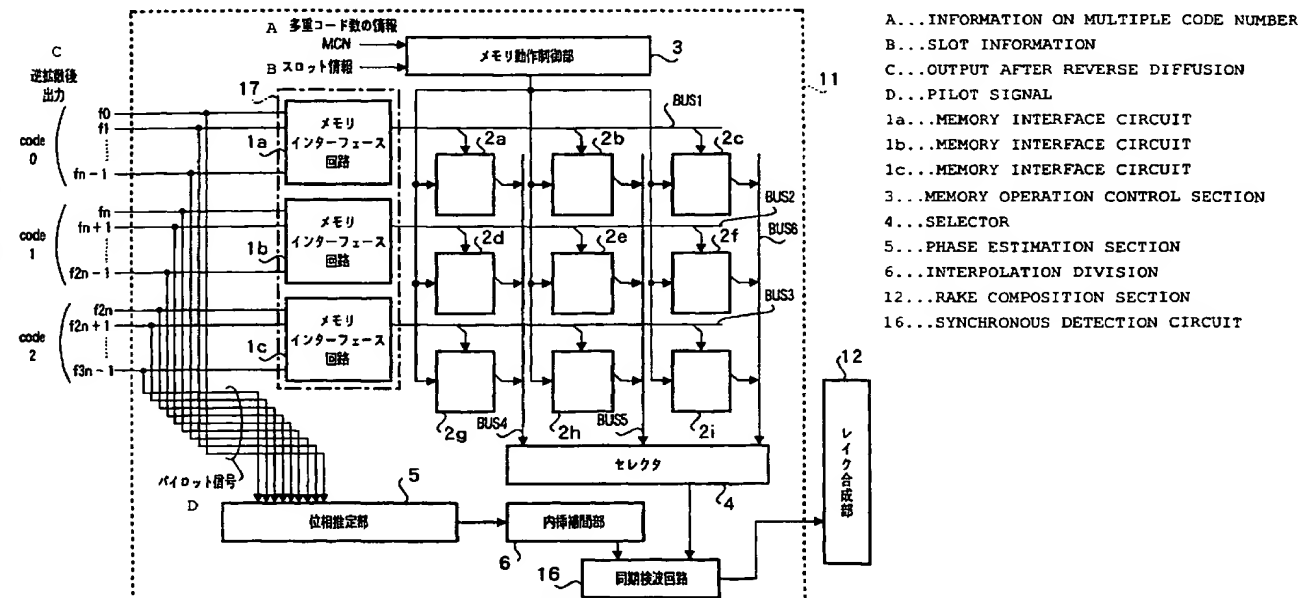
(72) 発明者; および

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(75) 発明者/出願人 (米国についてのみ): 有村 拓也

(54) Title: MEMORY CIRCUIT, AND SYNCHRONOUS DETECTION CIRCUIT

(54) 発明の名称: メモリ回路および同期検波回路



(57) Abstract: A memory circuit which temporarily stores information symbols included in received signals in a CDMA system capable of multicode communication in order to effect pilot interpolation synchronous detection. The memory circuit is composed of a plurality of electrically independent memory blocks. Each memory block corresponds to one code and one slot of information symbol. On condition that accesses for read and write are not generated simultaneously to one memory block, write access or read access is periodically generated to each memory block. Memory blocks to which no access is generated is forced to take a low power consumption mode, cutting power consumption attendant on access.

[続葉有]



WO 01/58071 A1



(57) 要約:

本発明のメモリ回路は、パイロット内挿同期検波を行うために、マルチコード通信が可能なCDMA方式の受信信号に含まれる情報シンボルを、一時的に蓄積する。本発明のメモリ回路は、電氣的に独立な複数のメモリブロックで構成される。各メモリブロックは、一つのコード、および情報シンボルの一つのスロットに対応する。一つのメモリブロックにリードとライトのアクセスが同時に発生しないという条件の下、各メモリブロックについて、周期的に、ライトアクセスあるいはリードアクセスを発生させる。アクセスが発生しないメモリブロックは強制的に低消費電力モードとし、アクセスに伴う消費電力を削減する。

明 細 書

メモリ回路および同期検波回路

5 技術分野

本発明は、メモリ回路および同期検波回路に関する。

背景技術

10

CDMA (Code Division Multiple Access) 方式の移動体通信において、情報シンボルの振幅や位相は、レイリーフェージングの影響により変動する。

受信側において、情報シンボルの位相を補償して同期検波を行う方法として、“パイロット内挿同期検波方式”が提案されている。

15 パイロット内挿同期検波方式は、情報信号中に周期的（例えば、1.25ms 毎）に挿入された、位相が既知のパイロットシンボル（パイロットビット）を利用して情報シンボルの位相変動を推定し、情報シンボルの位相を内挿補間により補正し、同期検波を行う方法である。

より具体的に説明すると、復調されたパイロットシンボルの位相とパイロット
20 トシンボルの理想的な位相（本来の位相）とを比較し、位相誤差を算出するという動作を複数のスロットについて実行し、その位相誤差算出結果から、パイロットシンボルに挟まれた情報シンボルの位相を内挿補間により求め、同期検波を行うものである。

なお、パイロット内挿同期検波方式に関しては、例えば、「広帯域CDMA
25 野外伝送結果（RCS97-3）」に記載されている。

図6は、受信信号の構成例を示している。

図6中の複数のパイロットシンボル（パイロットビット）140、150、

160, 170は、1スロット毎に挿入された既知のシンボルである。

検波対象スロット2001は、検波対象となる1スロット分の情報シンボルである。この1スロット分の情報シンボルの位相を補償するために、その前後数スロットにわたるパイロットシンボルを用いて位相変動量を推定する。

- 5 例えば、図6に示す構成の信号を連続で受信しているものとする。複数のパイロットシンボル140～170を用いてパイロット内挿同期検波を行う場合を想定する。この場合、同期検波の対象となる情報シンボルは、現受信スロット2003の2スロット前の情報シンボル2001（すなわち検波対象スロット）である。

- 10 よって、複数スロットに渡るパイロット信号（パイロットシンボル）を用いた位相変動の推定が終了するまで、先に受信した情報シンボル（2スロット前までの情報シンボル）を一時的に蓄積しておく必要がある。

すなわち、同期検波回路では、少なくとも3スロット分のシンボルを蓄積することができるメモリが必要となる。

- 15 一方、CDMA通信方式では、大容量の画像データ等の通信を高速に行うために、マルチコード伝送が許容されている。

マルチコード伝送は、データ量の大小に応じて、多重するコードの数を変化させ、コード資源を有効に使うというデータ伝送方式である。

- 20 例えば、音声データや小容量のバケットを伝送する場合には、1つの物理チャネルに1つの拡散コードを割り当ててデータ伝送を行う。

一方、動画像などの大容量のデータを伝送する場合には、動画像のデータを複数の物理チャネルに分割し、各物理チャネルにそれぞれ1つずつ拡散コードを割り当て、分割した物理チャネルを多重してデータ伝送を行う。

- 25 マルチコード伝送は、常時、すべてのコードを使用するというものではなく、状況に応じて、動的に、使用するコードが決定される。しかし、すべてのチャネルが使用された場合を想定して、上述のパイロット内挿同期検波を行うために必要なメモリ領域を確保しておく必要がある。

メモリの構成方法は種々あるが、複数のメモリを設けてそれぞれを個別に管理するよりも、共通のメモリを設けて一元的に管理する方が、占有面積、消費電力、管理の容易さのいずれの点でも、有利なのは当然のことである。

しかし、マルチコードの数の動的変化に対応可能とするために、多重数が最大となった場合における受信データを全部蓄積できるに足る、電氣的に連続しているメモリ領域を設けると、以下のような問題を生じる。

すなわち、多重コードの数に関わらず、アクセスするメモリ領域が同じであるため、1コードでデータ伝送をしている場合であっても、あるいは複数コードが多重されている場合であっても、メモリ領域全体がアクセスの対象となる。

10 よって、結果的に、メモリ回路の消費電力は、常に同じとなる。

さらに、複数スロットにまたがる複数のパイロットシンボルを用いるパイロット内挿同期検波において、メモリアクセスが発生するのは、現受信スロットの情報シンボルを書き込む時と、検波対象スロットの情報シンボルを読み出す時である。つまり、それ以外のスロットについては、メモリアクセスを発生させる必要がない。

15

しかし、従来の同期検波回路におけるシンボル蓄積メモリの構成では、メモリ領域が電氣的に連続しているため、アクセスしなくてもよいメモリ領域にもアクセスが発生し、その分、無駄な電力を消費してしまうという問題がある。

本発明は、このような考察に基づいてなされた。その目的は、メモリ回路および同期検波回路の低消費電力化を達成することにある。

20

発明の開示

本発明のメモリ回路では、情報シンボル蓄積用のメモリ領域を、マルチコード数の情報およびスロット情報の少なくとも一つに基づき、電氣的に分離された複数のメモリブロックに分割する。

25

そして、複数のメモリブロックの各々に対して、周期的に、データのライト

およびデータのリードを行う。

そして、データのライトまたはデータのリードのいずれの対象にもならないブロックは、低消費電力モードとする。

このような構成により、まず、必要なメモリブロックのみがアクセスの対象
5 となるので、ドライバの負荷が減少し、消費電力が削減される。さらに、アクセスが不要なメモリブロックを強制的に低消費電力モードとする（例えば、動作クロックの供給を停止して非動作状態とする）ことにより、消費電力削減の効果は、さらに高まる。

本発明のメモリ回路の一つの態様では、情報シンボル蓄積メモリのメモリ領域を、マルチコード通信のコード番号毎に電氣的に区切り、複数のメモリブロックに分割する。そして、書き込みや読み出しの必要がない情報シンボルを蓄積しているメモリブロックへのクロック供給を停止するなどの対策をとること
10 ことで、消費電力を削減する。

また、本発明のメモリ回路の一つの態様では、メモリ領域を、受信スロット
15 毎に電氣的に区切り、複数のメモリブロックに分割する。そして、検波対象のスロットに対応したメモリブロックおよび現受信スロットに対応したメモリブロックに対して、個別にライトアクセスあるいはリードアクセスを発生させる。

また、本発明の同期検波回路は、本発明のメモリ回路と、情報シンボルの位
20 相を内挿補間により補正する内挿補間部と、同期検波部とをもつ。メモリの消費電力が少ないので、同期検波回路の消費電力も削減される。

本発明の同期検波回路の一つの態様では、パイロット内挿同期検波部に内蔵されるシンボル蓄積メモリのメモリ領域を、多重されたコード毎に電氣的に区切って複数のメモリブロックに分割する。そして、ダイナミックに可変するコード数
25 に対して、対応するメモリブロックだけを動作させる。使用するコード数が少ない場合には、使用しないメモリブロックに関して、動作クロックの供給を停止するなどして強制的に低消費電力モードとする。これにより、回路の

低消費電力化が達成される。

図面の簡単な説明

- 5 図1は、本発明の同期検波回路の実施例の全体構成を示すブロック図であり、
図2は、本発明の同期検波回路を使用した受信機の構成を示すブロック図であり、
図3Aは、本発明のメモリ回路（シンボル蓄積メモリ）の構成の特徴を示す図であり、
10 図3Bは、本発明のメモリ回路（シンボル蓄積メモリ）のライトアクセスおよびリードアクセスの順序を示す図であり、
図4Aは、本発明のメモリ回路（シンボル蓄積メモリ）の構成例を示すブロック図であり、
図4Bは、一つの半導体チップに集積された、本発明のメモリ回路（シンボル蓄積メモリ）の構成例を示す回路図であり、
15 図5は、本発明のメモリ回路の特徴的な動作を示すフロー図であり、
そして、図6は、パイロット内挿同期検波を行う際に用いられる、受信信号のフォーマット例を示す図である。

20 発明を実施するための最良の形態

以下、本発明の実施の形態について説明する。

（実施の形態1）

- 図1は、本発明の実施の形態1にかかる同期検波回路のブロック図であり、
25 図2は、本発明の同期検波回路を用いたCDMA受信機（レイク受信機）の構成を示すブロック図である。

まず、CDMA受信機の全体構成について説明する。

図2に示すように、CDMA受信機は、受信アンテナ7と、高周波信号処理部8と、アナログ信号をデジタル信号に変換するA/D変換部9と、受信信号を所定のタイミングで逆拡散しデータを復調する逆拡散部10と、逆拡散後データの同期検波を行う同期検波部11と、逆拡散され、同期検波された複数のパスの各々に対応する信号をレイク合成するレイク合成部12と、チャンネルデコードを行うチャンネルコーデック部13と、マルチコード数情報抽出部14と、逆拡散符号生成部15と、をもつ。

逆拡散部10は、複数の受信フィンガ16a~16nおよびサーチャ17を具備する。

10 マルチコード数情報抽出部14は、受信信号に挿入されている、使用されているコードの数を示す情報を抽出し、同期検波部11に与える。

また、逆拡散符号生成部15は、例えば、3つの逆拡散用のコードC0~C2を生成し、逆拡散符号生成部15に供給する。

15 受信信号は、高周波信号処理部8においてベースバンド信号に復調され、A/D変換されてデジタルデータに変換された後、逆拡散部10に入力される。

逆拡散部10では、複数の逆拡散器により逆拡散処理がなされ、データが復調される。逆拡散器は、マルチパスの数や多重コードの数などを考慮して決定される。

20 同期検波部11およびレイク合成部12では、これら複数のデータについて、コード毎にマルチパスの位相を補償し、レイク合成を行う。

次に、同期検波部11の構成と動作について、図1、図3A、図3B、図4A、図4B、図5、図6を参照して、説明する。

25 図1に示される内挿同期検波部11は、図2の受信フィンガー16a~16nから出力される逆拡散後のデータを、一時的に蓄積し、位相補償を行い、同期検波を行う。

図1に示されるように、内挿同期検波部11は、互いに物理的（電氣的）に分離されている複数のメモリブロック2a~2iと、メモリインタフェース部

17 (メモリアンタフェース回路1a~1cをもつ)と、メモリ動作制御部3と、セクタ4と、位相推定部5と、内挿補間部6と、同期検波回路16と、をもつ。

5 なお、図中、BUS1~BUS3はライトバスであり、BUS4~BUS6はリードバスである。

メモリブロック2a~2iの各々は、情報シンボルの1スロット分のデータを一時的に蓄積する。メモリブロック2a~2iの各々は、”一つのコード”および”一つのスロット”に対応する。つまり、情報シンボルを蓄積するためのメモリ領域が、コード情報およびスロット情報に基づき、複数のブロックに
10 分割されている。

図1では、”コード単位の分割”は、メモリ領域を、3つの横方向の列に分割することを意味する。また、”シンボル単位の分割”は、メモリ領域を、3つの縦方向の列に分割することを意味する。これにより、メモリ領域は、9つの、電氣的に独立したメモリブロック2a~2iに分割される。

15 ここで、電氣的に独立しているとは、具体的には、ワード線とビット線が分離されていることを意味する。

メモリ領域を複数のブロックに分割することにより、必要なブロックのみにアクセスすることが可能となる。

すなわち、ワード線とビット線が分割されることにより、メモリアクセスに必要なドライバ(ワード線ドライバおよびビット線ドライバ)の負荷が減少し、
20 充放電の電流量が減少するため、低消費電力化を図ることができる。

さらに、使用しないメモリブロックについては、強制的に動作クロックの供給を停止する等の工夫をすることにより、そのブロックの主要な回路を低消費電力モードとする。これにより、回路の動作電流も削減することができ、さら
25 に、低消費電力化を行える。

メモリアンタフェース部17は、一種のアドレスデコーダであり、どのメモリブロックの何番地にアクセスするかを決定する。

メモリ動作制御部3は、活性化するメモリブロックと低消費電力モードとするメモリブロックを適宜、選択し、制御信号を出力して、メモリブロックの動作モードを制御する。

メモリ動作制御部3には、図2のマルチコード数情報抽出部14から出力される多重コード数の情報(MCN)が入力される。

メモリ動作制御部3は、実際に使用されているコード(多重コード)に対応するメモリブロック列(横の列)のみを選択し、それ以外のメモリブロック列は非選択とする。

選択されたメモリブロック列は、所定のシーケンスで、周期的にアクセスされる。その具体的な動作の手順については後述する。

また、位相推定部5は、各受信信号から、1スロット毎に挿入されているパイロット信号を抜き出し、位相平面上におけるパイロット信号の位相を推定する(回線推定)。

内挿補間部6は、2つのパイロット信号に挟まれた情報シンボルの位相を内挿補間により求める。

そして、同期検波回路16は、内挿補間により補正された位相に対応したタイミングで、メモリブロックから読み出された情報シンボルについて同期検波を行う。

同期検波された信号は、レイク合成部12に与えられる。

以下、図1の同期検波回路の全体の動作を、より具体的に説明する。

図2の逆拡散部10から出力される、逆拡散後の情報シンボル $f_0 \sim f_{n-1}$ 、 $f_n \sim f_{2n-1}$ 、 $f_{2n} \sim f_{3n-1}$ はそれぞれ、コード1、コード2、コード3に対応する情報である。

各コードに対応するデータは、パス(0)～パス($n-1$)までの n 個の信号を含む。各パスの信号は、情報の内容は同じであるが、遅延量が異なる。遅延差は、数チップ程度である。

逆拡散後の各情報シンボル $f_0 \sim f_{n-1}$ 、 $f_n \sim f_{2n-1}$ 、 $f_{2n} \sim f_{3n-1}$

$n-1$ のそれぞれには、独自のアドレスナンバーおよびスロットナンバーが付与される。

このとき、情報シンボル $f_0 \sim f_{n-1}$ 、 $f_n \sim f_{2n-1}$ 、 $f_{2n} \sim f_{3n-1}$ のアドレスの個数は、受信したチャネルの 1 スロット内にマッピングされた
5 シンボル数に等しい。

$f_0 \sim f_{n-1}$ 、 $f_n \sim f_{2n-1}$ 、 $f_{2n} \sim f_{3n-1}$ の各情報についての各アドレスには、重複を避けるためにオフセットが与えられている。つまり、各データは、同一のメモリ空間に書きこまれないように工夫されている。

図 1 のメモリインターフェース 1a ~ 1c の各々には、同一コードの逆拡散
10 後の情報シンボル $f_0 \sim f_{n-1}$ 、 $f_n \sim f_{2n-1}$ 、 $f_{2n} \sim f_{3n-1}$ が、それぞれ入力される。すなわちレイク合成を行うパス毎の逆拡散後の情報シンボルがそれぞれ入力される。

各メモリインターフェース 1a ~ 1c は、パラレルに入力された n パス分
(n は 2 以上の自然数) の情報シンボルおよびアドレスを、シリアルにライト
15 バス (BUS 1 ~ BUS 3) へ送出する。この結果、情報シンボルのデータは、対応するメモリブロック 2a ~ 2i に一時的に蓄積される。

一方、2 スロットに相当する期間、蓄積されていた情報シンボルのデータが、セクタ 4 によって選択され、同期検波回路 16 に送られる。

同期検波回路では、内挿補間部 6 で補償された位相に対応するタイミングで、
20 同期検波が行われる。同期検波された信号は、レイク合成部 12 へ送られてレイク合成される。

次に、図 3A、図 3B および図 4、図 4B を参照して、図 1 に示されるシンボル蓄積メモリ (メモリブロック 2a ~ 2i) の構成および動作を具体的に説明する。

25 図 3A に示すように、情報シンボルを蓄積するためのメモリ領域は、コード多重数が "3" の場合に対応できるように、各コードに対応して、3 つのメモリブロック列 (L1 ~ L3) に分割されている。

また、検波対象となるスロットの前後2スロットにわたるパイロットシンボル（計4つのパイロットシンボル）から位相を推定している間、3スロット分の情報シンボルを一時的に蓄積することができるように、各スロットに対応して、3つのメモリブロック列R1～R3に分割されている。なお、メモリセル

5 は、リフレッシュ不要なSRAMで構成する。

このようなメモリ領域の分割の結果、電氣的に独立な9つのメモリブロック2a～2iが形成される。

すなわち、メモリ領域は、多重コード数とスロットバンパーを変数として分割される。なお、一つのメモリブロックについて、リードとライトを同時に行うことはできない。しかし、一つのメモリブロックにデータをライトしている

10 ときに、同時に、他のメモリブロックからデータをリードすることは可能である。

次に、図3Bを用いて、各メモリブロックへのアクセスの手順を説明する。

以下の説明では、説明の便宜上、多重コード数が”1”であると仮定する。

15 コード数が”1”の場合には、逆拡散された最初のスロットの情報シンボルについての、遅延量が異なる複数のデータ（ $f_0 \sim f_{n-1}$ ）に、スロットナンバー”1”が付与され、それぞれのデータは、メモリブロック2aにライトされる。この状態が状態1である。

なお、図3Bにおいて、ライトアクセスを”W”で示し、リードアクセスを”

20 R”と記載している。

次に、同様に第2スロットの情報シンボルについての、遅延量が異なる複数のデータ（ $f_0 \sim f_{n-1}$ ）にスロットナンバー”2”が付与され、そのデータは、メモリブロック2bにライトされる。この状態が状態2である。

さらに第3スロットの情報シンボルに関する情報については、スロットナンバー”3”が付与され、そのデータは、メモリブロック2cにライトされる。

25 このとき、同時に、メモリブロック2aから、2スロット前に蓄積された情報シンボルについてのデータがリードされる。この状態が状態3である。

状態3において、読み出された情報シンボルのデータは、図1の同期検波回路16に送られる。

第4番目のスロットのデータには、再びスロットナンバー”1”が付与され、そのデータは、読み出しが終了したメモリブロック2aに上書きされる。この
5 とき、同時に2スロット前に蓄積された情報シンボルのデータが、メモリブロック2bからリードされ、図1の同期検波回路16に送られる。この状態が状態4である。

同様にして、状態5を経て、状態6に移行する。状態6は状態3と同じであるので、状態6以降は状態4に移行し、それ以降、状態4，状態5および状態
10 6が繰り返し現れる。

このように、各スロット毎に、メモリブロック2a，2b，2cの順にデータがライトされる。そして、メモリブロック2cへの書きこみが終了した後は、メモリブロック2aに戻って再び順番に書きこみが行われるという動作が繰り返される。

15 一方、現在データのライトが行われているメモリブロックを基準として、2スロットだけ前に書きこみが終了したメモリブロックから情報シンボルのデータのリードが行われる。

図3Bから明らかなように、状態1～6のそれぞれにおいて、一つのコードに対応するメモリブロック列において、最大でも、3つのメモリブロックのうち
20 ちの2つしか動作しないため、必ず、動作不要なメモリブロックが存在する。

すなわち、メモリブロックへのアクセスが発生するのは、”検波対象のスロット”の情報を読み出す場合と、”現在受信しているスロット”の情報をライトする場合だけである。

したがって、動作不要なメモリブロックを低消費電力モードとすれば、電力
25 消費を削減できる。メモリブロックの低消費電力モードは、例えば、ワード線やビット線を駆動するためのクロック供給を止めることにより実現される。

本発明の構成によれば、以下の①～④の動作を実現できる。。

①同一のメモリブロックに対して、ライトアクセスとリードアクセスが同時に発生しないように制御することができる。

②メモリブロックに対するライトアクセスとリードアクセスを、周期的に行うことができる。

- 5 ③アクセスが発生しないメモリブロックについては、回路動作を停止させたり、一部の回路の動作を停止させるなどして、低消費電力モード（非動作モード）とすることができる。

つまり、SRAMを構成するメモリセルに対してアクセスを発生させないようにすることが可能である。このようにすれば、少なくとも、消費電力を従来の3分の2に低減させることができる。

- 10 ④また、上述の例では、コード1に対応したメモリブロック列（図3AのL1）のみが動作し、コード2、コード3に対応したメモリブロック列L2，L3は、まったく動作しない。よって、メモリブロック列L2，L3に属するメモリブロック2d～2iの動作を完全に停止させることができる。

- 15 この場合、図3Aからも明らかなように、動作しているのは9つの物理的（電氣的）に区切られたメモリブロックのうちの2つだけであり、その他のメモリブロックは動作しない。

従って、コード数が1の場合、単純に動作比率だけで消費電力を比較すると、本発明によれば、従来構成に比べて9分の2に消費電力を低減できる。

- 20 このように、本発明によれば、情報シンボルを蓄積するためのメモリ回路の消費電力を効果的に削減することができる。

次に、多重コード数が”2”となった場合の動作を説明する。

- この場合、コード1およびコード2の各々に対応して、メモリブロック列L1，L2が動作し、メモリブロック列L3は動作しない。よって、メモリブロック列L3の動作を停止させることができる。

したがって9つの物理的（電氣的）に区切られたメモリブロックのうち同時に動作しているのは4つとなり、単純に動作比率だけで消費電力を比較すると、

本発明は従来構成に比べて9分の4に消費電力を低減できる。

同様に多重コード数が”3”の場合、すべてのメモリブロック列L1～L3において書き込みまたは読み出しの動作が発生する。よって、9つの物理的(電氣的)に区切られた蓄積メモリのうち動作しているのは6つとなり、単純に動作比率だけで消費電力を比較すると、本発明は従来構成に比べて9分の6に消費電力を低減できる。

図4A、図4Bに、メモリブロック(例えば、2a～2c)の具体的な構成例を示す。

複数のメモリブロックの動作/非動作を切り換える制御は、図4Aに示すように、各メモリブロックのアドレスデコーダ18a、18b、18cにおいて、ビット線やワード線を駆動するために必要なクロックの供給を、ゲート回路等を用いて停止させることにより実現できる。

図4Bには、より具体的な回路構成が示される。

図4Bでは、メモリブロック2a～2cは、一つのチップに集積されている。各メモリブロックのワード線(w1～wn, w1'～wn', w1''～wn'')はそれぞれ、電氣的に分離されている。同様に、ビット線も独立に駆動される。

それぞれのメモリブロックにおけるワード線およびビット線の駆動は、駆動回路30a、30b、30cにより制御される。

以下、メモリブロック2aについて、構成と動作を説明する。

図4Bにおいて、a1～a2nはワード線(W1～Wn)のドライバであり、b1～bmは、ビット線(BT1～BTm)のドライバである。

そして、各メモリ毎に、ドライバ(a1～a2n, b1～bm)は、駆動回路(30a～30c)によって制御される。したがって、各駆動回路におけるクロックの供給をコントロールすることにより、各メモリのアクティブ/ノンアクティブを個別に制御することが可能である。

以上、本実施の形態によれば、情報シンボル蓄積用のメモリ領域を、多重コード数およびスロットナンバーに基づき、物理的(電氣的)に区切ることによ

り、従来の同期検波回路のメモリ回路に比べて消費電力を、9分の2～9分の6とすることができる。

以上の説明では、多重コード数を”3”としたが、これに限定されるものではない。多重コード数が増えれば増えるほど、本発明による消費電力削減の効

5 果は高まる。

また、以上の説明では、蓄積する情報シンボルのスロット数を3スロットとしたが、これに限定されるものではない。

図2に示されるCDMA受信機では、同期検波部11が低消費電力化されているため、LSI化に適する。また、携帯電話の電池の長寿命化も達成される。

10 以上説明した、本発明のメモリ回路における特徴的な動作をまとめると、図5のようになる。

予め、情報シンボル蓄積用のメモリを、マルチコード数の情報およびスロット情報の少なくとも一つに基づき、電気的に分離されている（電気的に独立している）複数のブロックに分割しておく（ステップ50）。

15 そして、複数のブロックの各々に対して、ライトアクセスとリードアクセスが同時に行われることがないようにアクセスタイミングを制御しつつ、周期的に、データのライトおよびデータのリードを行う。データのライトまたはデータのリードのいずれの対象にもならないブロックは、強制的に低消費電力モードとする（ステップ51）。

20 このように、本発明では、メモリ領域を複数のブロックに分割し、各ブロックの動作を個別に制御することにより、メモリアクセスに伴う消費電力を、極限まで削減することができる。よって、動画像などの大容量のデータ通信を行っても、携帯電話の電池の寿命を長く保つことができる。

この出願は、2000年2月3日にファイルされた、日本国の特許出願20
25 00-026306号に基づいており、その全ての内容は、ここに明確に記載されている。

産業上の利用可能性

本発明は、CDMA受信機に搭載されるメモリ回路や同期検波回路に用いることができる。

請求の範囲

1. マルチコード通信が可能なCDMA方式の信号を受信し、パイロット内挿同期検波を行うために、情報シンボルを一時的に蓄積するためのメモリ回路

5 は、

電氣的に独立した複数のメモリブロックであって、各々のメモリブロックが、前記マルチコード通信における各コードに対応している複数のメモリブロックと、

10 一つのメモリブロックに対して、ライトアクセスとリードアクセスが同時に行われることがないようにアクセスタイミングを制御しつつ、前記複数のブロックの各々に対して、周期的に、データのライトおよびデータのリードを行うメモリインタフェース部と、

を有する。

15 2. マルチコード通信が可能なCDMA方式の信号を受信し、パイロット内挿同期検波を行うために、所定数の情報シンボルを一時的に蓄積するためのメモリ回路は、

電氣的に独立した複数のメモリブロックであって、各々のメモリブロックが、前記マルチコード通信における1つのコードおよび受信信号の1つのスロットに対応している複数のメモリブロックと、

20 一つのメモリブロックに対して、ライトアクセスとリードアクセスが同時に行われることがないようにアクセスタイミングを制御しつつ、前記複数のブロックの各々に対して、周期的に、データのライトおよびデータのリードを行うメモリインタフェース部と、

を有する。

25 3. 請求項2において、

前記メモリインタフェース部は、

同期検波対象のスロットに対応するメモリブロックと、現在受信しているス

ロットに対応するメモリブロックと、に対して選択的にアクセスする。

4. マルチコード通信が可能なCDMA方式の信号を受信し、パイロット内挿同期検波を行うために、所定数の情報シンボルを一時的に蓄積するためのメモリ回路は、

- 5 電氣的に独立した複数のメモリブロックであって、各々のメモリブロックが、前記マルチコード通信における1つのコードおよび受信信号の1つのスロットに対応している複数のメモリブロックと、

一つのメモリブロックに対して、ライトアクセスとリードアクセスが同時に行われることがないようにアクセスタイミングを制御しつつ、前記複数のブロックの各々に対して、周期的に、データのライトおよびデータのリードを行うメモリインタフェース部と、

アクセスが発生しないメモリブロックを低消費電力モードとする、メモリ動作制御部と、

を有する。

- 15 5. 請求項4において、

前記メモリブロックの低消費電力モードは、動作クロックの供給を停止することにより実現される。

6. 情報シンボルに一定周期で挿入された既知のパイロットシンボルを利用して位相変動を推定し、情報シンボルの位相を補償して同期検波を行うパイロット内挿同期検波回路は、

- 20 電氣的に独立した複数のメモリブロックであって、各々のメモリブロックが、前記マルチコード通信における1つのコードおよび受信信号の1つのスロットに対応している複数のメモリブロックをもつ情報シンボル蓄積用メモリ回路と、

- 25 検波対象となるスロットの近傍に位置する複数のパイロットシンボルを用いてパイロットシンボルの位相推定を行う位相推定部と、

前記位相推定部による推定結果に基づき、情報シンボルの位相を内挿補間に

より求める内挿補間部と、

前記内挿補間部により補正された前記情報シンボルの位相に合致したタイミングで同期検波を行う同期検波部と、

- マルチコードの情報およびスロットの情報に基づき、前記情報シンボル蓄積メモリの前記複数のメモリブロックの各々の動作モードを制御し、アクセスが発生しないメモリブロックを低消費電力モードとするメモリ動作制御部と、
5 を有する。

7. 請求項 6 において、

- 前記メモリブロックの低消費電力モードは、動作クロックの供給を停止することにより実現される。
10

8. 請求項 6 において、

さらに、前記シンボル蓄積メモリへのデータの書き込みを制御するメモリインタフェース部を有し、

- 前記メモリインタフェース部は、複数のレイクフィンガーから出力される、
15 各コードに対応した複数の遅延波の、逆拡散後のデータを受け、前記シンボル蓄積メモリに、時分割でデータをライトする。

9. CDMA 受信機は、

受信アンテナと、

- 所定の周波数でフィルタリングしベースバンド信号に復調する高周波信号
20 処理部と、

アナログ信号をデジタル信号に変換する A/D 変換部と、

受信信号を所定のタイミングで逆拡散しデータを復調する逆拡散部と、

逆拡散後データの同期検波を行う請求項 6 記載のパイロット内挿同期検波回路と、

- 25 逆拡散され、同期検波されたマルチパスをレイク合成するレイク合成部と、
チャネルデコードを行うチャネルコーデック部と、
を有する。



10. 情報シンボル蓄積用メモリのアクセス制御方法は、

メモリ領域が、マルチコード数の情報およびスロット情報の少なくとも一つに基づき、電氣的に独立している複数のブロックに分割されている情報シンボル蓄積用のメモリを用意するステップと、

- 5 一つのブロックに対して、ライトアクセスとリードアクセスが同時に行われることがないようにアクセスタイミングを制御しつつ、前記複数のブロックの各々に対して、周期的に、データのライトおよびデータのリードを行うステップと、

を含む。

- 10 11. 情報シンボル蓄積用メモリのアクセス制御方法は、

メモリ領域が、マルチコード数の情報およびスロット情報の少なくとも一つに基づき、電氣的に独立している複数のブロックに分割されている情報シンボル蓄積用のメモリを用意するステップと、

- 15 一つのブロックに対して、ライトアクセスとリードアクセスが同時に行われることがないようにアクセスタイミングを制御しつつ、前記複数のブロックの各々に対して、周期的に、データのライトおよびデータのリードを行うステップと、

データのライトまたはデータのリードのいずれの対象にもならない前記ブロックを、低消費電力モードとするステップと、

- 20 を含む。

12. 請求項11において、

前記ブロックの低消費電力モードは、動作クロックの供給を停止することにより実現される。

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

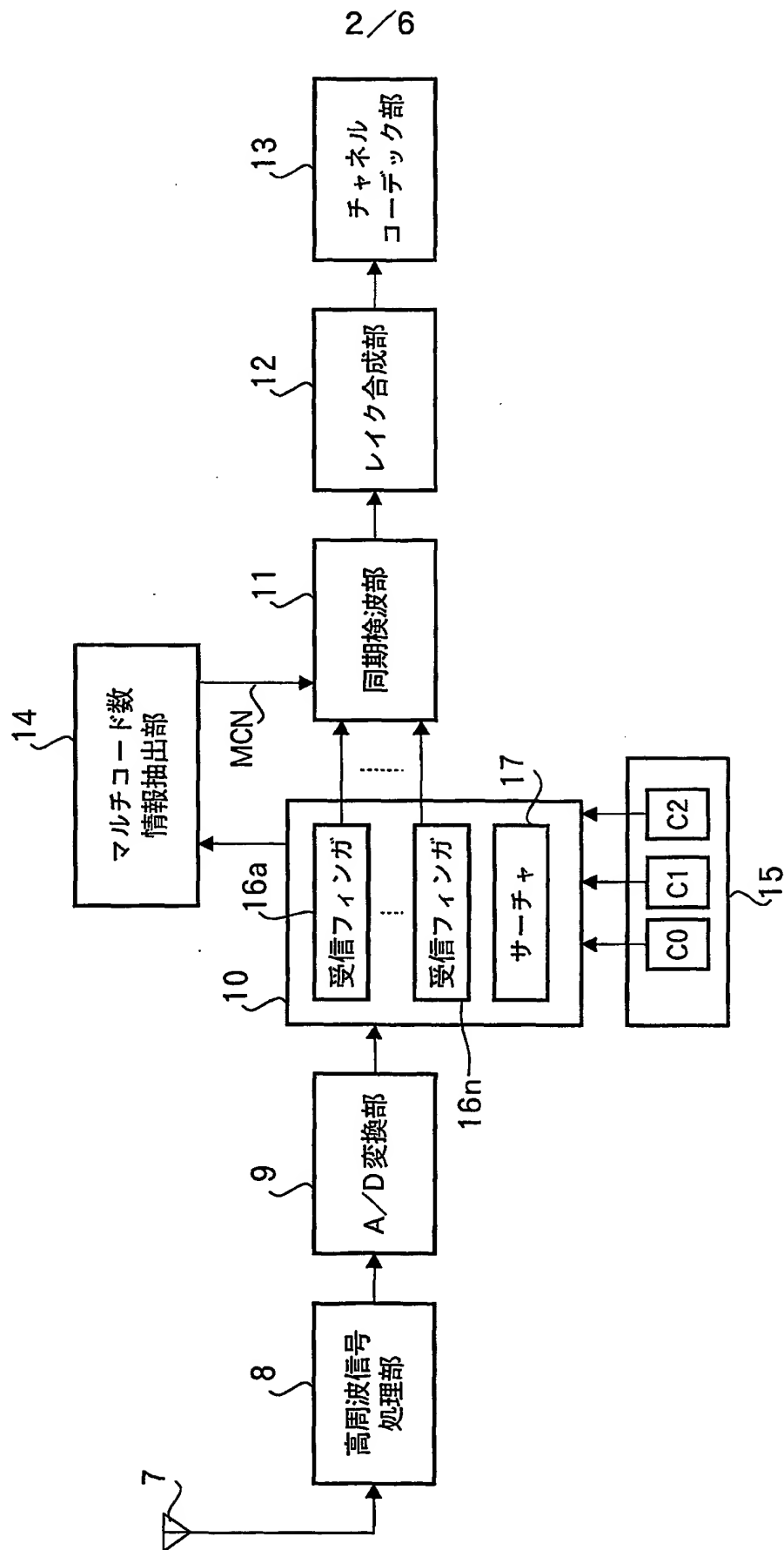
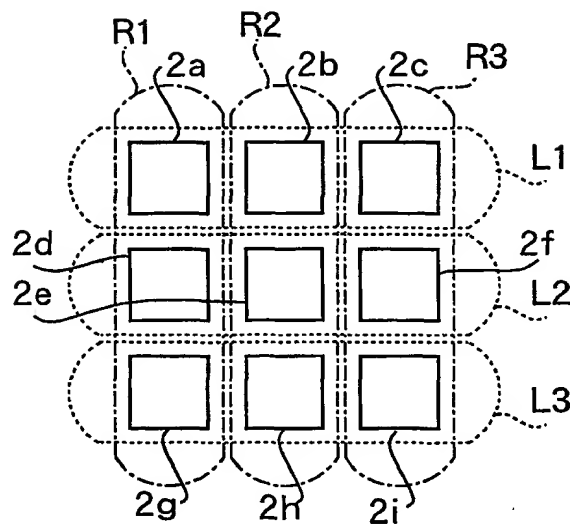


FIG. 2

THIS PAGE BLANK (USPTO)

3/6



R1~R3 : スロット分割された
メモリブロック列

L1~L3 : コード分割された
メモリブロック列

FIG. 3A

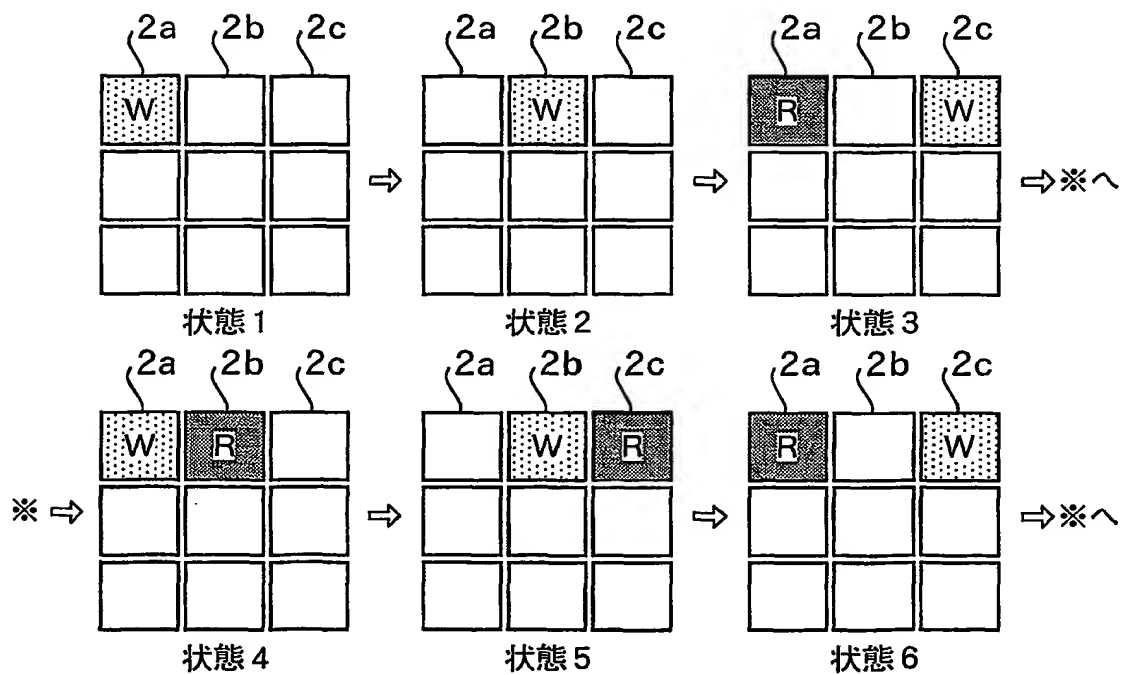


FIG. 3B

THIS PAGE BLANK (USPTO)

4/6

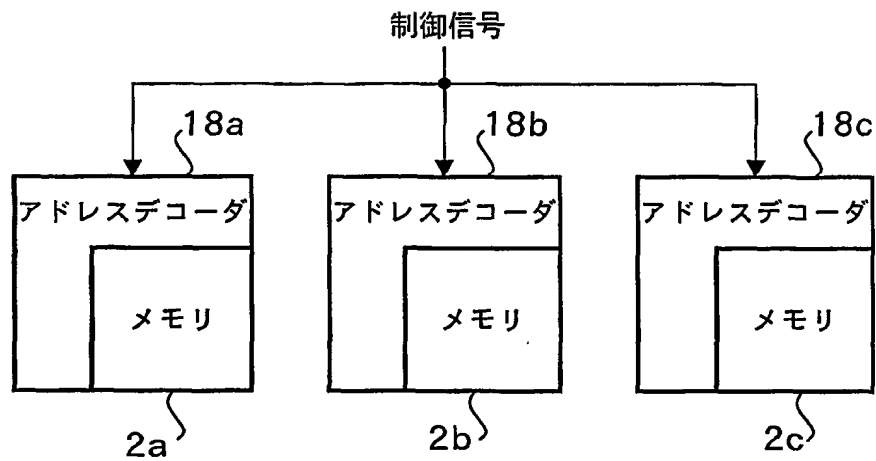


FIG. 4A

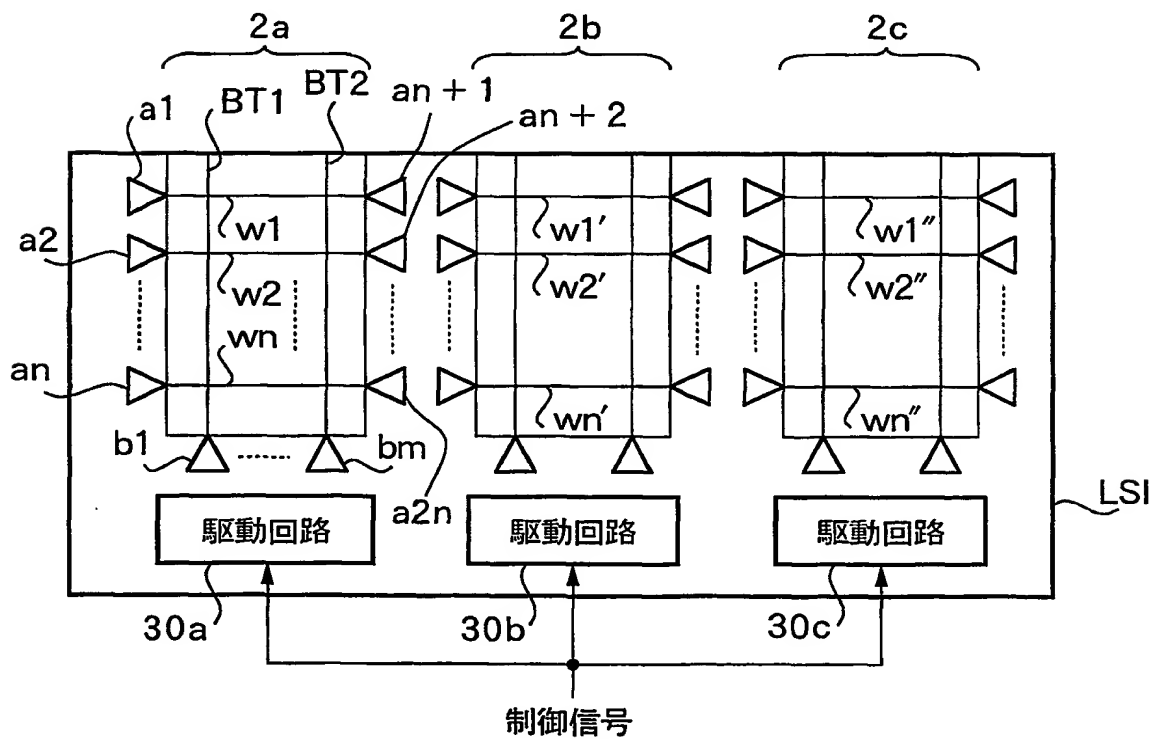


FIG. 4B

THIS PAGE BLANK (USPTO)

5/6

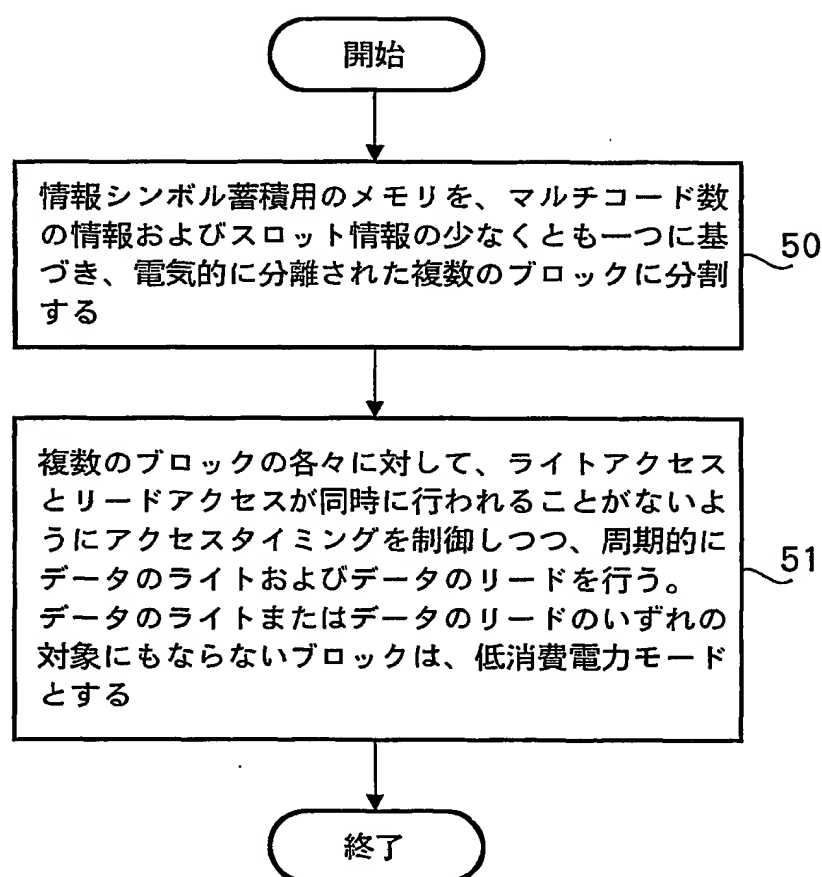


FIG. 5

THIS PAGE BLANK (USPTO)

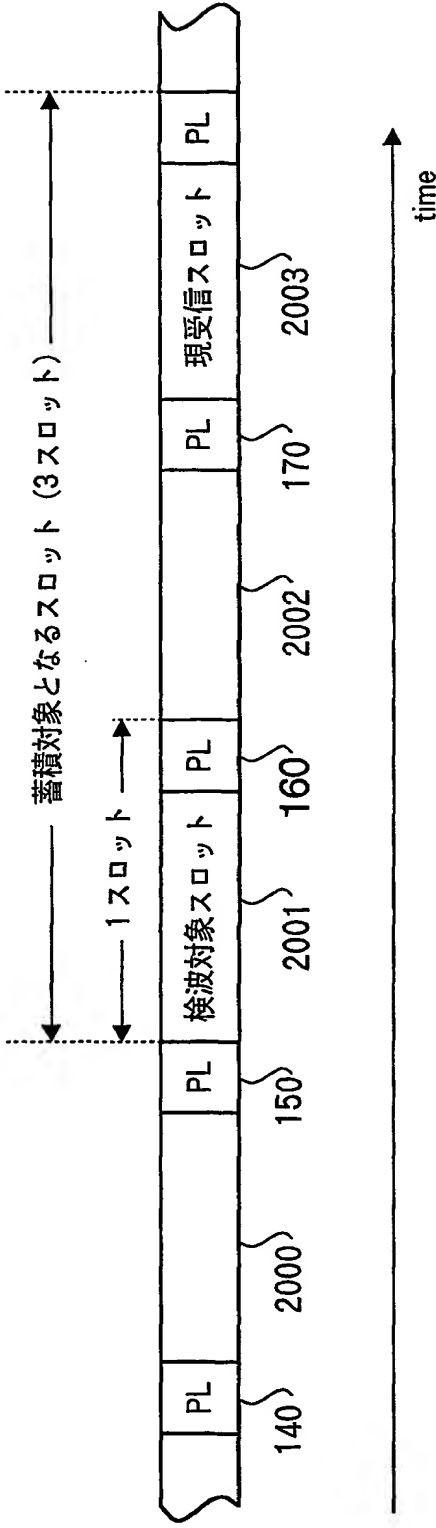


FIG. 6

THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/00694

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H04J13/04, H04B1/707, G11C11/41

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H04B1/69-1/713, H04J13/00-13/06,
G11C11/41

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2001
Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JOIS

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 11-8568, A (Yozan K.K.), 12 January, 1999 (12.01.99), Full text; Figs. 4, 7 to 9 & EP, 886385, A2 & CN, 1209697, A & KR, 99007063, A	1-12
A	JP, 10-233713, A (Kokusai Electric Co., Ltd.), 02 September, 1998 (02.09.98), Full text; Figs. 1 to 6 (Family: none)	1-12
A	JP, 10-233756, A (Kokusai Electric Co., Ltd.), 02 September, 1998 (02.09.98), Full text; Figs. 1 to 4 (Family: none)	1-12
A	JP, 10-190626, A (Matsushita Electric Ind. Co., Ltd.), 21 July, 1998 (21.07.98), Full text; Figs. 1 to 11 & EP, 851601, A2 & KR, 98064715, A	1-12
A	JP, 11-177490, A (Yozan K.K.), 02 July, 1999 (02.07.99), Full text; Figs. 1 to 13	1-12

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
---	--

Date of the actual completion of the international search
12 April, 2001 (12.04.01)Date of mailing of the international search report
24 April, 2001 (24.04.01)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/00694

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	& EP, 884856, A2 & CN, 1202050, A & KR, 99006788, A & JP, 10-341184, A & JP, 11-17652, A & JP, 11-98116, A & JP, 11-122078, A & JP, 11-127134, A & JP, 11-177490, A & JP, 11-205193, A	
A	JP, 5-135592, A (NEC Corporation), 01 June, 1993 (01.06.93), Full text; Figs. 1, 2 (Family: none)	1-12
A	JP, 6-36567, A (Ricoh Company, Ltd.), 10 February, 1994 (10.02.94), Full text; Figs. 1 to 3	1-12

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H04J13/04, H04B1/707, G11C11/41

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H04B1/69-1/713, H04J13/00-13/06,
G11C11/41

最小限資料以外の資料で調査を行った分野に含まれるもの。

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2001年
日本国登録実用新案公報	1994-2001年
日本国実用新案登録公報	1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JOIS

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 11-8568, A (株式会社鷹山), 12. 1月. 1999 (12. 01. 99), 全文, 図4, 図7-9 &EP, 886385, A2 &CN, 1209697, A &KR, 99007063, A	1-12
A	JP, 10-233713, A (国際電気株式会社), 2. 9月. 1998 (02. 09. 98), 全文, 図1-6 (ファミリーなし)	1-12

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

12. 04. 01

国際調査報告の発送日

24.04.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

北村 智彦

5K

9297

電話番号 03-3581-1101 内線 3555

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 10-233756, A (国際電気株式会社), 2. 9月. 1998 (02. 09. 98), 全文, 図1-4 (ファミリーなし)	1-12
A	JP, 10-190626, A (松下電器産業株式会社), 21. 7月. 1998 (21. 07. 98), 全文, 図1-11 &EP, 851601, A2 &KR, 98064715, A	1-12
A	JP, 11-177490, A (株式会社鷹山), 2. 7月. 19 99 (02. 07. 99), 全文, 図1-13 &EP, 884856, A2 &CN, 1202050, A &KR, 99006788, A &JP, 10-341184, A &JP, 11-17652, A &JP, 11-98116, A &JP, 11-122078, A&JP, 11-127134, A &JP, 11-177490, A&JP, 11-205193, A	1-12
A	JP, 5-135592, A (日本電気株式会社), 1. 6月. 1 993 (01. 06. 93), 全文, 図1, 2 (ファミリーなし)	1-12
A	JP, 6-36567, A (株式会社リコー), 10. 2月. 19 94 (10. 02. 94), 全文, 図1-3	1-12